



BAU-2812
#5/Priority
Oking
15.30/5630 7/24/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:)	Group Art Unit: 2812
TSUGANE et al.)	
Serial No. 09/759,915)	Examiner: unknown
Filed: January 13, 2001)	
For: SEMICONDUCTOR DEVICES AND METHODS)	
FOR MANUFACTURING THE SAME)	

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed is the certified copy of the priority document for U.S. Application Serial No. 09/759,915. This document is Japanese Patent Application Number 2000-005335. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES & VICTOR LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
(310) 556-7983 (tele)
(310) 556-7984 (fax)

Dated: July 12, 2001

Customer No. 24033

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 12, 2001.

Alan S. Raynes
Alan S. Raynes

July 12, 2001
(Date)

RECEIVED
JUL 19 2001
TC 2800 MAIL ROOM

RECEIVED
JUL 18 2001
TC 2800 MAIL ROOM



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#57 Priority
Drawing
7/24/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 1月14日

出願番号
Application Number:

特願2000-005335

出願人
Applicant(s):

セイコーエプソン株式会社

RECEIVED
JUL 18 2001
TC 2800 MAIL ROOM

RECEIVED
JUL 19 2001
TC 2800 MAIL ROOM

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3101609



特 2000-005335

【書類名】 特許願

【整理番号】 EP-0214201

【提出日】 平成12年 1月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株
式会社内

【氏名】 津金 宏昭

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株
式会社内

【氏名】 佐藤 久克

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

RECEIVED

JUL 19 2001

TC 2800 MAIL ROOM

RECEIVED

JUL 18 2001

TC 2800 MAIL ROOM

【氏名又は名称】 大 淵 美 千 栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の D R A M 領域に形成された、セル容量を含む D R A M と、

前記半導体基板のアナログ素子領域に形成された、容量素子と、
を備えた、半導体装置の製造方法であって、

(a) 前記 D R A M の構成要素であるビット線と、前記ビット線と同じ層に位置し、前記容量素子の下部電極を他の半導体素子と電気的に導通させるために用いられる接続層と、を同時に形成する工程と、

(b) 前記セル容量のストレージノードと、前記下部電極と、を同時に形成する工程と、

(c) 前記セル容量の誘電体層と、前記容量素子の誘電体層と、を同時に形成する工程と、

(d) 前記セル容量のセルプレートと、前記容量素子の上部電極と、を同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項 2】 請求項 1 において、

(e) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程、

を備え、

前記工程 (e) は、前記工程 (d) と同一工程であり、

前記工程 (e) において、前記第 1 抵抗素子が形成される領域への不純物のイオン注入回数を、前記第 2 抵抗素子が形成される領域への不純物のイオン注入回数よりも多くすることにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 3】 請求項 1 において、

(e) 前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する

工程、

を備え、

前記工程（e）は、前記工程（d）と同一工程であり、

前記工程（e）において、前記第 1 抵抗素子が形成される領域に不純物を拡散することにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 4】 請求項 1 において、

（e）前記アナログ素子領域に、第 1 抵抗素子および第 2 抵抗素子を形成する工程、

を備え、

前記工程（e）は、前記工程（d）と同一工程であり、

前記工程（e）において、前記第 1 抵抗素子が形成される領域にシリサイド層を形成することにより、前記第 1 抵抗素子の抵抗値を、前記第 2 抵抗素子の抵抗値よりも低くする、半導体装置の製造方法。

【請求項 5】 半導体基板の D R A M 領域に形成された、セル容量を含む D R A M と、

前記半導体基板のアナログ素子領域に形成された、容量素子と、

を備えた、半導体装置において、

層間絶縁層、接続層および埋め込み接続層を備え、

前記層間絶縁層は、前記半導体基板と前記容量素子との間に位置し、

前記接続層および前記埋め込み接続層は、前記容量素子の下部電極を他の半導体素子と電氣的に導通させるために用いられ、

前記接続層は、前記 D R A M の構成要素であるビット線と同じ層に位置し、

前記埋め込み接続層は、前記層間絶縁層に形成された接続孔に位置し、

前記埋め込み接続層の一方端部は、前記下部電極の底面において、前記下部電極と接続しており、

前記埋め込み接続層の他方端部は、前記接続層と接続している、

半導体装置。

【請求項 6】 請求項 5 において、

他の容量素子を備え、
前記他の容量素子は、前記アナログ素子領域に位置し、
前記容量素子と前記他の容量素子とは、前記接続層および前記埋め込み接続層
により、直列接続されている、
半導体装置。

【請求項 7】 請求項 5 または 6 において、
第 1 抵抗素子および第 2 抵抗素子を備え、
前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、
前記第 1 抵抗素子中の不純物濃度が、前記第 2 抵抗素子中の不純物濃度より高
いことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも
低い、
半導体装置。

【請求項 8】 請求項 5 または 6 において、
第 1 抵抗素子および第 2 抵抗素子を備え、
前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、
前記第 1 抵抗素子が、シリサイド層を含むことにより、前記第 1 抵抗素子の抵
抗値は、前記第 2 抵抗素子の抵抗値よりも低い、
半導体装置。

【請求項 9】 請求項 5 ～ 8 のいずれかにおいて、
前記容量素子の誘電体層の厚みは、前記セル容量の誘電体層の厚みと同じであ
る、
半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、DRAM (Dynamic Random Access Mem
ory) と、他の素子と、を同一チップに混載した半導体装置およびその製造方
法に関する。

【0002】

【背景技術および発明が解決しようとする課題】

近年、チップインターフェイス遅延の短縮、ボード面積分のコスト低減、ボード設計開発のコスト低減などの観点から、各種回路の混載が要求される。しかし、このような混載技術においては、プロセスが複雑となり、ＩＣコストが増大する問題がある。

【 0 0 0 3 】

本発明の目的は、ＤＲＡＭと、他の素子と、を同一チップに混載するときに、工程の簡略化を図りつつ、他の素子を所望の性能にすることができる半導体装置およびその製造方法を提供することである。

【 0 0 0 4 】

【課題を解決するための手段】

{ 1 } 本発明は、半導体基板のＤＲＡＭ領域に形成された、セル容量を含むＤＲＡＭと、前記半導体基板のアナログ素子領域に形成された、容量素子と、を備えた、半導体装置の製造方法であって、（ａ）前記ＤＲＡＭの構成要素であるビット線と、前記ビット線と同じ層に位置し、前記容量素子の下部電極を他の半導体素子と電気的に導通させるために用いられる接続層と、を同時に形成する工程と、（ｂ）前記セル容量のストレージノードと、前記下部電極と、を同時に形成する工程と、（ｃ）前記セル容量の誘電体層と、前記容量素子の誘電体層と、を同時に形成する工程と、（ｄ）前記セル容量のセルプレートと、前記容量素子の上部電極と、を同時に形成する工程と、を備えた半導体装置の製造方法である。

【 0 0 0 5 】

上記工程を備える本発明にかかる半導体装置の製造方法によれば、セル容量と容量素子とを同時に形成している。このため、これらを別々に形成する場合に比べて、工程の簡略化を図ることができる。

【 0 0 0 6 】

また、上記工程を備える本発明にかかる半導体装置の製造方法によれば、前記接続層を、ＤＲＡＭの構成要素であるビット線と同時に形成している。このため、これらを別々に形成する場合に比べて、工程の簡略化を図ることができる。

【 0 0 0 7 】

なお、本発明において、セル容量とは、D R A Mのメモリセルを構成する要素のことである。以下にでてくるセル容量もこの意味である。

【 0 0 0 8 】

また、本発明において、容量素子の用途としては、例えば、A / Dコンバータ、D / Aコンバータ、スイッチドキャパシタフィルタ、オペアンプの位相コンデンサ、P L Lのロウパスフィルタ、電源のバイパスコンデンサ、デカップリングコンデンサ等である。以下にでてくる容量素子の用途も同様である。

【 0 0 0 9 】

また、本発明において、他の半導体素子とは、アナログ回路を構成する要素（例えば、トランジスタ、容量素子、抵抗素子、配線）を意味する。以下にでてくる他の半導体素子もこの意味である。

【 0 0 1 0 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、（e）前記アナログ素子領域に、第1抵抗素子および第2抵抗素子を形成する工程を備え、前記工程（e）は、前記工程（d）と同一工程であり、前記工程（e）において、前記第1抵抗素子が形成される領域への不純物のイオン注入回数を、前記第2抵抗素子が形成される領域への不純物のイオン注入回数よりも多くすることにより、前記第1抵抗素子の抵抗値を、前記第2抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【 0 0 1 1 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第1および第2抵抗素子を形成することができる。

【 0 0 1 2 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、（e）前記アナログ素子領域に、第1抵抗素子および第2抵抗素子を形成する工程を備え、前記工程（e）は、前記工程（d）と同一工程であり、前記工程（e）において、前記第1抵抗素子が形成される領域に不純物を拡散することにより、前記第1抵抗素子の抵抗値を、前記第2抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【 0 0 1 3 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第1および第2抵抗素子を形成することができる。

【 0 0 1 4 】

さらに、上記工程を加えた本発明にかかる半導体装置の製造方法によれば、第1抵抗素子の最低抵抗値を下げるることができる。すなわち、第1抵抗素子の抵抗値を第2抵抗素子の抵抗値よりも低くするのは、上記のとおり、前記第1抵抗素子への不純物のイオン注入回数を、前記第2抵抗素子への不純物のイオン注入回数よりも多くすることにより、実現できる。しかし、イオン注入だけでは、最低抵抗値が比較的高い（例えば、 $200 \sim 300 \Omega/\square$ ）。これに対して拡散によれば、イオン注入だけよりも最低抵抗値を下げるることができる（例えば、 $10 \sim 100 \Omega/\square$ ）。したがって、拡散によれば、第1抵抗素子の最低抵抗値を下げるできるので、抵抗値の選択の範囲を広げることができる。

【 0 0 1 5 】

本発明にかかる半導体装置の製造方法には、次の工程を加えることができる。すなわち、本発明は、さらに、（e）前記アナログ素子領域に、第1抵抗素子および第2抵抗素子を形成する工程を備え、前記工程（e）は、前記工程（d）と同一工程であり、前記工程（e）において、前記第1抵抗素子が形成される領域にシリサイド層を形成することにより、前記第1抵抗素子の抵抗値を、前記第2抵抗素子の抵抗値よりも低くする、半導体装置の製造方法である。

【 0 0 1 6 】

上記工程を加えた本発明にかかる半導体装置の製造方法によれば、抵抗値が互いに異なる第1および第2抵抗素子を形成することができる。

【 0 0 1 7 】

さらに、上記工程を加えた本発明にかかる半導体装置の製造方法によれば、第1抵抗素子の最低抵抗値を下げるることができる。すなわち、第1抵抗素子にシリサイド層を形成すれば、イオン注入だけよりも最低抵抗値を下げるることができる（例えば、 $5 \sim 10 \Omega/\square$ ）。したがって、シリサイド層形成によれば、第1抵抗素子の最低抵抗値を下げるできるので、抵抗値の選択の範囲を広げるこ

とができる。

【0018】

{2} 本発明は、半導体基板のDRAM領域に形成された、セル容量を含むDRAMと、前記半導体基板のアナログ素子領域に形成された、容量素子と、を備えた、半導体装置において、層間絶縁層、接続層および埋め込み接続層を備え、前記層間絶縁層は、前記半導体基板と前記容量素子との間に位置し、前記接続層および前記埋め込み接続層は、前記容量素子の下部電極を他の半導体素子と電気的に導通させるために用いられ、前記接続層は、前記DRAMの構成要素であるビット線と同じ層に位置し、前記埋め込み接続層は、前記層間絶縁層に形成された接続孔に位置し、前記埋め込み接続層の一方端部は、前記下部電極の底面において、前記下部電極と接続しており、前記埋め込み接続層の他方端部は、前記接続層と接続している、半導体装置である。

【0019】

上記構成をした本発明にかかる半導体装置によれば、容量素子の面積を小さくすることが可能となる。すなわち、容量素子の下部電極は、接続層および埋め込み接続層により半導体素子と電気的に導通される。そして、埋め込み接続層が、下部電極よりも下に位置し、かつ下部電極の底面において下部電極と接続されているので、下部電極の側面のすべてを上部電極と対向させることができる。したがって、その分だけ、容量素子の面積を小さくすることが可能となるのである。

【0020】

このように、本発明によれば、容量素子の面積を小さくすることができるので、半導体装置の微細化を図ることができる。

【0021】

なお、埋め込み接続層は、導電性を有する材料（例えば、ポリシリコン、アモルファスシリコン、タングステンのような高融点金属）から構成されている。埋め込み接続層の材料は、下部電極の材料と同じでもよいし、異なってもよい。

【0022】

また、上記構成をした本発明にかかる半導体装置によれば、容量素子へノイズ

が伝達する問題を生じにくくすることができる。すなわち、前記接続層を、例えば、半導体基板に形成された不純物領域とした場合、この不純物領域と接続するウェルからの電荷が容量素子に流れることがある。これが、この容量素子を含む回路の誤動作の原因となる。これに対して、本発明によれば、前記接続層を前記 D R A M の構成要素であるビット線と同じ層にしているので、このようなノイズ伝達の問題が生じにくいのである。

【 0 0 2 3 】

なお、前記接続層は、導電性を有する材料（例えば、ポリシリコン、アモルファスシリコン、チタンシリサイド、タングステンシリサイド）から構成されている。第 2 接続層の材料は、ビット線の材料と同じである。

【 0 0 2 4 】

本発明にかかる半導体装置は、次の構成を加えることができる。すなわち、本発明は、さらに、他の容量素子を備え、前記他の容量素子は、前記アナログ素子領域に位置し、前記容量素子と前記他の容量素子とは、前記接続層および前記埋め込み接続層により直列接続されている、半導体装置である。

【 0 0 2 5 】

上記構成を加えた本発明によれば、容量素子と他の容量素子とを、接続層および埋め込み接続層により電気的に導通させている。このため、容量素子と他の容量素子とは、合成された一つの容量素子として機能する。そして、接続層および埋め込み接続層を介しての接続は、直列接続なので、容量素子の耐圧と他の容量素子の耐圧とを加えた値が、上記合成された一つの容量素子の耐圧となる。よって、容量素子のみの場合に比べて耐圧を向上させることができる。

【 0 0 2 6 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、さらに、第 1 抵抗素子および第 2 抵抗素子を備え、前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、前記第 1 抵抗素子中の不純物濃度が、前記第 2 抵抗素子中の不純物濃度より高いことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも低い、半導体装置である。

【 0 0 2 7 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、さらに、第 1 抵抗素子および第 2 抵抗素子を備え、前記第 1 および前記第 2 抵抗素子は、前記アナログ素子領域に位置し、前記第 1 抵抗素子が、シリサイド層を含むことにより、前記第 1 抵抗素子の抵抗値は、前記第 2 抵抗素子の抵抗値よりも低い、半導体装置である。

【 0 0 2 8 】

本発明にかかる半導体装置には、次の構成を加えることができる。すなわち、本発明は、前記容量素子の誘電体層の厚みが、前記セル容量の誘電体層の厚みと同じである、半導体装置である。

【 0 0 2 9 】

上記構成をした本発明にかかる半導体装置によれば、容量素子の面積を小さくすることが可能となる。すなわち、DRAM が誤動作しないためには、DRAM のセル容量の蓄積容量を所定値以上にしなければならない。このため、セル容量の誘電体層の厚みは、非常に薄い（例えば、5 ～ 1 0 n m）。本発明では、容量素子の誘電体層の厚みが、セル容量の誘電体層の厚みと同じである。このため、容量素子の面積を小さくしても、容量素子として必要な蓄積容量を確保することが可能となるのである。

【 0 0 3 0 】

このように、上記構成をした本発明にかかる半導体装置によれば、容量素子の面積を小さくすることが可能なので、半導体装置を微細化することができる。

【 0 0 3 1 】

【発明の実施の形態】

〔第 1 実施形態〕

{デバイスの構造}

図 1 5 は、本発明の第 1 実施形態にかかる半導体装置の断面を模式的に示す図である。この半導体装置 1 は、DRAM 領域 1 0 0 0 およびアナログ素子領域 2 0 0 0 を含む。

【 0 0 3 2 】

DRAM 領域 1 0 0 0 は、ワード線 1 0 0 a、1 0 0 b、MOS (M e t a l

Oxide Semiconductor) 電界効果トランジスタ 200 a、200 b、ビット線 300 およびセル容量 700 a、700 b を含む。MOS 電界効果トランジスタ 200 a とセル容量 700 a で、一メモリセルを構成し、MOS 電界効果トランジスタ 200 b とセル容量 700 b で、一メモリセルを構成している。DRAM 領域 1000 に形成されたメモリセルは、DRAM 混載型半導体装置の DRAM マクロセルを構成する。

【0033】

一方、アナログ素子領域 2000 は、抵抗素子 400、抵抗素子 500、容量素子 600 a、600 b および各種トランジスタ（図示せず）を含む。抵抗素子 400、500、容量素子 600 a、600 b および各種トランジスタは、アナログ回路の一例である A/D コンバータを構成する。

【0034】

以上が半導体装置 1 の大まかな構造である。次に、DRAM 領域 1000 の構造について詳細に説明し、その後、アナログ素子領域 2000 の構造について詳細に説明する。

【0035】

(DRAM 領域 1000)

P⁻型シリコン基板 11 内には、P 型ウェル 13 が形成されている。P 型ウェル 13 上には、フィールド酸化層 15 a、15 b が、それぞれ、選択的に形成されている。P 型ウェル 13 のうち、フィールド酸化層 15 a とフィールド酸化層 15 b とで規定される領域が、活性領域 13 a となる。活性領域 13 a には、MOS 電界効果トランジスタ 200 a、200 b が形成されている。また、フィールド酸化層 15 a 上にはワード線 100 a が位置し、フィールド酸化層 15 b 上にはワード線 100 b が位置している。

【0036】

まず、MOS 電界効果トランジスタ 200 a について説明する。MOS 電界効果トランジスタ 200 a は、ゲート電極（ワード線）17 a、N⁺型ソース／ドレイン領域 41 a および N⁺型ソース／ドレイン領域 41 b を備える。N⁺型ソース／ドレイン領域 41 a および N⁺型ソース／ドレイン領域 41 b は、活性領域

13aの表面に、互いに間を隔てて位置している。活性領域13aのうち、 N^+ 型ソース/ドレイン領域41aと N^+ 型ソース/ドレイン領域41bとの間にある領域上には、ゲート酸化層25aを介してゲート電極17aが位置している。ゲート電極17aは、多結晶シリコン層21上にタングステンシリサイド層23が位置している構造をしている。

【0037】

次に、MOS電界効果トランジスタ200bについて説明する。MOS電界効果トランジスタ200bは、ゲート電極（ワード線）17b、 N^+ 型ソース/ドレイン領域41bおよび N^+ 型ソース/ドレイン領域41cを備える。MOS電界効果トランジスタ200aとMOS電界効果トランジスタ200bは、 N^+ 型ソース/ドレイン領域41bを共用している。 N^+ 型ソース/ドレイン領域41bおよび N^+ 型ソース/ドレイン領域41cは、活性領域13aの表面に、互いに間を隔てて位置している。活性領域13aのうち、 N^+ 型ソース/ドレイン領域41bと N^+ 型ソース/ドレイン領域41cとの間にある領域上には、ゲート酸化層25bを介してゲート電極17bが位置している。ゲート電極17bは、ゲート電極17aと同じ構造をしている。

【0038】

次に、ワード線100a、100bについて説明する。ワード線100a、100bは、ともに、多結晶シリコン層21上にタングステンシリサイド層23が位置している構造をしている。

【0039】

MOS電界効果トランジスタ200a、200bおよびワード線100a、100bを覆うように、下から順に、TEOS層31、シリコン窒化層33、層間絶縁層35が位置している。層間絶縁層35としては、例えば、シリコン酸化層がある。上記3層には、コンタクトホール37が形成されている。コンタクトホール37は、 N^+ 型ソース/ドレイン領域41bに到達している。ビット線300は、層間絶縁層35上に位置している。ビット線300はコンタクトホール37内を通り、 N^+ 型ソース/ドレイン領域41bと接続されている。ビット線300は、多結晶シリコン層43上にタングステンシリサイド層45が位置してい

る構造をしている。

【0040】

ビット線300を覆うように、層間絶縁層47が位置している。層間絶縁層47としては、例えば、シリコン酸化層がある。層間絶縁層47、層間絶縁層35、シリコン窒化層33およびTEOS層31には、コンタクトホール51a、51bが形成されている。コンタクトホール51aは、 N^+ 型ソース/ドレイン領域41aに到達している。また、コンタクトホール51bは、 N^+ 型ソース/ドレイン領域41cに到達している。

【0041】

層間絶縁層47上には、セル容量700a、700bが位置している。まず、セル容量700aから説明する。セル容量700aは、ストレージノード53a、ON層61およびセルプレート67を含む。ストレージノード53aは、層間絶縁層47上に位置している。ストレージノード53aは、コンタクトホール51a内に形成された埋め込み接続層58aを介して、 N^+ 型ソース/ドレイン領域41aと電氣的に導通されている。ストレージノード53aと埋め込み接続層58aとは、多結晶シリコン層であり、一体的に形成されている。ストレージノード53aを覆うように、ON層61が位置している。ON層61は、シリコン酸化層とシリコン窒化層とで構成され、誘電体層として機能する。ON層61を覆うように、セルプレート67が位置している。セルプレート67は、多結晶シリコン層である。

【0042】

次に、セル容量700bを説明する。セル容量700bはセル容量700aと同様の構成をしている。すなわち、セル容量700bは、ストレージノード53b、ON層61およびセルプレート67を含む。ストレージノード53bは、層間絶縁層47上に位置している。ストレージノード53bは、コンタクトホール51b内に形成された埋め込み接続層58bを介して、 N^+ 型ソース/ドレイン領域41cと電氣的に導通されている。ストレージノード53bと埋め込み接続層58bとは、多結晶シリコン層であり、一体的に形成されている。ストレージノード53bを覆うように、ON層61が位置している。ON層61を覆うよう

に、セルプレート67が位置している。

【0043】

層間絶縁層71が、セル容量700a、700bを覆うように位置している。層間絶縁層71としては、例えば、シリコン酸化層がある。以上でDRAM領域1000の構造の詳細な説明を終わる。

【0044】

(アナログ素子領域2000)

P⁻型シリコン基板11中には、P型ウェル13が形成されている。P型ウェル13上には、フィールド酸化層15cが、選択的に形成されている。フィールド酸化層15cを覆うように、層間絶縁層35が形成されている。層間絶縁層35上には、接続層19が位置している。接続層19は、容量素子600aと容量素子600bとを電氣的に導通するために用いられる。接続層19は、多結晶シリコン層43上にタンゲステンシリサイド層45が位置している構造をしている。接続層19は、ビット線300と同じ層にある。

【0045】

接続層19を覆うように、層間絶縁層47が位置している。層間絶縁層47上には、容量素子600a、600b、抵抗素子400および抵抗素子500が位置している。

【0046】

まず、容量素子600aから説明する。容量素子600aは、下部電極55a、ON層61および上部電極69aを備える。下部電極55aは、層間絶縁層47上に位置している。下部電極55aは、コンタクトホール51c内に形成された埋め込み接続層58cの一方端部と接続されている。下部電極55aと埋め込み接続層58cとの接続は、下部電極55aの底面で行われている。下部電極55aと埋め込み接続層58cとは、多結晶シリコン層であり、一体的に形成されている。埋め込み接続層58cの他方端部は、接続層19と接続されている。埋め込み接続層58cは、容量素子600aと容量素子600bとを電氣的に導通させるために用いられる。下部電極55aを覆うように、ON層61が位置している。ON層61を覆うように、上部電極69aが位置している。上部電極69

a は、多結晶シリコン層である。

【 0 0 4 7 】

次に、容量素子 6 0 0 b について説明する。容量素子 6 0 0 b は容量素子 6 0 0 a と同様の構成をしている。すなわち、容量素子 6 0 0 b は、下部電極 5 5 b 、ON 層 6 1 および上部電極 6 9 b を備える。下部電極 5 5 b は、層間絶縁層 4 7 上に位置している。下部電極 5 5 b は、コンタクトホール 5 1 d 内に形成された埋め込み接続層 5 8 d の一方端部と接続されている。下部電極 5 5 b と埋め込み接続層 5 8 d との接続は、下部電極 5 5 b の底面で行われている。下部電極 5 5 b と埋め込み接続層 5 8 d とは、多結晶シリコン層であり、一体的に形成されている。埋め込み接続層 5 8 d の他方端部は、接続層 1 9 と接続されている。埋め込み接続層 5 8 d は、容量素子 6 0 0 a と容量素子 6 0 0 b とを電氣的に導通させるために用いられる。下部電極 5 5 b を覆うように、ON 層 6 1 が位置している。ON 層 6 1 を覆うように、上部電極 6 9 b が位置している。上部電極 6 9 b は、多結晶シリコン層である。

【 0 0 4 8 】

以上説明したように、容量素子 6 0 0 a と容量素子 6 0 0 b とは、埋め込み接続層 5 8 c 、接続層 1 9 、埋め込み接続層 5 8 d により、直列に接続されている。

【 0 0 4 9 】

次に、抵抗素子 4 0 0 、5 0 0 について説明する。抵抗素子 4 0 0 、5 0 0 は、層間絶縁層 4 7 上に位置している。抵抗素子 4 0 0 の抵抗値は、抵抗素子 5 0 0 の抵抗値よりも低い。抵抗素子 4 0 0 の抵抗値は、例えば、2 0 0 ~ 3 0 0 Ω である。抵抗素子 5 0 0 の抵抗値は、例えば、1 ~ 1 0 k Ω である。

【 0 0 5 0 】

抵抗素子 4 0 0 、抵抗素子 5 0 0 および容量素子 6 0 0 a 、6 0 0 b を覆うように、層間絶縁層 7 1 が位置している。層間絶縁層 7 1 には複数のスルーホールが形成されている。これらのスルーホール内には、それぞれ、タングステンブラグ 7 3 a ~ 7 3 f が充填されている。

【 0 0 5 1 】

層間絶縁層 7 1 上には、アルミ配線 7 5 a ~ 7 5 f が位置している。アルミ配線 7 5 a は、タングステンプラグ 7 3 a を介して、上部電極 6 9 a と電氣的に導通されている。アルミ配線 7 5 b は、タングステンプラグ 7 3 b を介して、上部電極 6 9 b と電氣的に導通されている。アルミ配線 7 5 c は、タングステンプラグ 7 3 c を介して、抵抗素子 4 0 0 の一方端部と電氣的に導通されている。アルミ配線 7 5 d は、タングステンプラグ 7 3 d を介して、抵抗素子 4 0 0 の他方端部と電氣的に導通されている。アルミ配線 7 5 e は、タングステンプラグ 7 3 e を介して、抵抗素子 5 0 0 の一方端部と電氣的に導通されている。アルミ配線 7 5 f は、タングステンプラグ 7 3 f を介して、抵抗素子 5 0 0 の他方端部と電氣的に導通されている。

【 0 0 5 2 】

なお、アナログ素子領域 2 0 0 0 の容量素子 6 0 0 a、6 0 0 b と、DRAM 領域 1 0 0 0 のセル容量 7 0 0 a、7 0 0 b とは、同時に形成されるので、これらを構成する層は、同じ厚みとなる。すなわち、容量素子 6 0 0 a、6 0 0 b の下部電極 5 5 a、5 5 b の厚み（例えば、1 0 0 ~ 1 0 0 0 n m）は、セル容量 7 0 0 a、7 0 0 b のストレージノード 5 3 a、5 3 b の厚みと同じである。また、容量素子 6 0 0 a、6 0 0 b の ON 層 6 1 の厚み（例えば、5 ~ 1 0 n m）は、セル容量 7 0 0 a、7 0 0 b の ON 層 6 1 の厚みと同じである。また、容量素子 6 0 0 a、6 0 0 b の上部電極 6 9 a、6 9 b の厚み（例えば、5 0 ~ 2 0 0 n m）は、セル容量 7 0 0 a、7 0 0 b のセルプレート 6 7 の厚みと同じである。

【 0 0 5 3 】

以上でアナログ素子領域 2 0 0 0 の構造の詳細な説明を終わる。半導体装置 1 によれば、次の（効果 1）～（効果 4）が生じる。

【 0 0 5 4 】

（効果 1）

半導体装置 1 によれば、容量素子 6 0 0 a、6 0 0 b の面積を小さくすることが可能となる。すなわち、DRAM が誤動作しないためには、DRAM のセル容量 7 0 0 a、7 0 0 b の蓄積容量を所定値以上にしなければならない。このため

、セル容量 700 a、700 b の誘電体層 (ON 層 61) の厚みは、非常に薄い (例えば、5 ~ 10 nm)。本発明では、容量素子 600 a、600 b の誘電体層 (ON 層 61) の厚みが、セル容量 700 a、700 b の誘電体層 (ON 層 61) の厚みと同じであるので、非常に薄い。このため、容量素子 600 a、600 b の面積を小さくしても、容量素子 600 a、600 b として必要な蓄積容量を確保することが可能となるのである。

【0055】

このように、半導体装置 1 によれば、容量素子 600 a、600 b の面積を小さくすることが可能なので、半導体装置 1 を微細化することができる。

【0056】

(効果 2)

半導体装置 1 によれば、下部電極 55 a、55 b と、それぞれ、接続する埋め込み接続層 58 c、58 d が、下部電極 55 a、55 b の底面で接続されている。このため、下部電極 55 a、55 b の側面のすべてを上部電極 69 a、69 b と対向させることができるので、その分だけ、容量素子 600 a、600 b の面積を小さくすることが可能となる。よって、半導体装置 1 によれば、半導体装置の微細化を図ることができる。

【0057】

(効果 3)

半導体装置 1 によれば、容量素子 600 a、600 b へノイズが伝達する問題を生じにくくすることができる。すなわち、容量素子 600 a と容量素子 600 b とを電氣的に導通させるための接続層を、例えば、半導体基板に形成された不純物領域とした場合、この不純物領域と接続するウェルからの電荷が容量素子 600 a、600 b に流れることがある。これが、容量素子 600 a、600 b を含む回路の誤動作の原因となる。これに対して、半導体装置 1 によれば、接続層 19 が、DRAM のビット線 300 と同じ層に位置している。よって、このようなノイズ伝達の問題が生じにくいのである。

【0058】

(効果 4)

半導体装置 1 によれば、容量素子 6 0 0 a と容量素子 6 0 0 b とを、埋め込み接続層 5 8 c、接続層 1 9 および埋め込み接続層 5 8 d により電氣的に導通させている。このため、容量素子 6 0 0 a と容量素子 6 0 0 b とは、合成された一つの容量素子として機能する。そして、埋め込み接続層 5 8 c、接続層 1 9、埋め込み接続層 5 8 d を介しての接続は、直列接続なので、容量素子 6 0 0 a の耐圧と容量素子 6 0 0 b の耐圧とを加えた値が、上記合成された一つの容量素子の耐圧となる。よって、容量素子 6 0 0 a (または容量素子 6 0 0 b) のみの場合に比べて耐圧を向上させることができる。

【 0 0 5 9 】

{デバイスの製造方法}

図 1 5 に示す半導体装置 1 の製造方法を、図 1 ～図 1 4 を用いて説明する。図 1 ～図 1 4 は、半導体装置 1 の製造方法の工程図である。

【 0 0 6 0 】

(ゲート電極、ワード線の形成)

まず、図 1 5 に示すゲート電極 1 7 a、1 7 b、ワード線 1 0 0 a、1 0 0 b の形成工程を、図 1 および図 2 を用いて説明する。

【 0 0 6 1 】

図 1 に示すように、P⁻型シリコン基板 1 1 の表面に、例えば、選択酸化法によってフィールド酸化層 1 5 a、1 5 b、1 5 c を形成する。フィールド酸化層 1 5 a、1 5 b は、DRAM 領域 1 0 0 0 に形成されている。フィールド酸化層 1 5 c は、アナログ素子領域 2 0 0 0 に形成されている。

【 0 0 6 2 】

次に、P⁻型シリコン基板 1 1 の全面に、p 型不純物 (例えば、ボロン) をイオン注入することにより、P⁻型シリコン基板 1 1 中に P 型ウェル 1 3 を形成する。P 型ウェル 1 3 のうち、フィールド酸化層 1 5 a とフィールド酸化層 1 5 b とで規定された領域は、活性領域 1 3 a となる。

【 0 0 6 3 】

図 2 に示すように、P⁻型シリコン基板 1 1 を、例えば、熱酸化することにより、活性領域 1 3 a 上に、ゲート酸化層 2 5 a、2 5 b となる熱酸化層を形成する

。そして、この熱酸化層上に、例えば、CVD法を用いて、ドーパドアモルファスシリコン層を形成する。ドーパドアモルファスシリコン層は、ゲート電極などの構成要素となる。ドーパドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層 2 1 となる。次に、このドーパドアモルファスシリコン層上に、例えば、CVD法を用いて、タングステンシリサイド層 2 3 を形成する。次に、タングステンシリサイド層 2 3 上に、例えば、CVD法により、キャップ層となるシリコン酸化層 2 7 を形成する。

【 0 0 6 4 】

熱酸化層、ドーパドアモルファスシリコン層、タングステンシリサイド層 2 3 およびシリコン酸化層 2 7 からなる構造物を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM領域 1 0 0 0 には、ワード線 1 0 0 a、1 0 0 b、ゲート電極 1 7 a、1 7 b が形成される。

【 0 0 6 5 】

次に、ゲート電極 1 7 a、1 7 b をマスクとして、活性領域 1 3 a に、N 型不純物（例えば、リン）をイオン注入し、N⁻型不純物領域 2 9 a、2 9 b、2 9 c を形成する。

【 0 0 6 6 】

（ビット線、接続層の形成）

図 1 5 に示すビット線 3 0 0 および接続層 1 9 の形成工程を、図 3 ～図 5 を用いて説明する。

【 0 0 6 7 】

図 3 に示すように、P⁻型シリコン基板 1 1 を覆うように、例えば、CVD法により、TEOS 層 3 1 を形成する。次に、TEOS 層 3 1 上に、例えば、CVD法により、シリコン窒化層 3 3 を形成する。TEOS 層 3 1 およびシリコン窒化層 3 3 は、後の工程であるコンタクトホール形成工程において、エッチングストッパとして機能する。

【 0 0 6 8 】

図 4 に示すように、シリコン窒化層 3 3 上に、例えば、CVD法により、シリ

コン酸化層からなる層間絶縁層 35 を形成する。次に、レジストを層間絶縁層 35 上に形成する。このレジストをマスクとして、層間絶縁層 35、シリコン窒化層 33 および TEOS 層 31 からなる層を選択的にエッチングすることにより、 N^- 型不純物領域 29b に到達するコンタクトホール 37 を形成する。コンタクトホール 37 形成工程を詳細に説明する。

【0069】

コンタクトホール 37 形成工程において、まず、レジストをマスクとして、層間絶縁層 35 がエッチングされる。このエッチングのとき、シリコン窒化層 33 がエッチングストップとなる。次に、シリコン窒化層 33 がエッチングされる。このエッチングのとき、TEOS 層 31 がエッチングストップとなる。そして、最後に、TEOS 層 31 がエッチングされる。以上により、コンタクトホール 37 が自己整合的に形成される。このようなコンタクトホール形成工程によれば、コンタクトホール 37 によりゲート電極 17a が露出するということのを避けることができるのである。

【0070】

次に、層間絶縁層 35 をマスクとして、活性領域 13a に、 N 型不純物（例えば、リン）をイオン注入し、 N^+ 型不純物領域 39 を形成する。 N^+ 型不純物領域 39 と N^- 型不純物領域 29b とで、 N^+ 型ソース／ドレイン領域 41b が構成される。

【0071】

図 5 に示すように、層間絶縁層 35 上に、例えば、CVD 法を用いて、ドーパドアモルファスシリコン層を形成する。ドーパドアモルファスシリコン層は、ビット線 300 の構成要素および接続層 19 の構成要素であるシリコン層 43 になる。ドーパドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層 43 となる。次に、このドーパドアモルファスシリコン層上に、例えば、CVD 法を用いて、タングステンシリサイド層 45 を形成する。ドーパドアモルファスシリコン層およびタングステンシリサイド層 45 からなる構造物を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM 領域 1000 には、ビット線 300 が形成され、アナロ

グ素子領域 2000 には、接続層 19 が形成される。ビット線 300 は、コンタクトホール 37 内にも形成され、 N^+ 型ソース／ドレイン領域 41b と接続されている。

【0072】

(ストレージノード、下部電極の形成)

図 15 に示すストレージノード 53a、53b、下部電極 55a、55b の形成工程を、図 6 および図 7 を用いて説明する。

【0073】

図 6 に示すように、ビット線 300 を覆うように、 P^- 型シリコン基板 11 全面に、例えば、CVD 法により、シリコン酸化層からなる層間絶縁層 47 を形成する。次に、レジストを層間絶縁層 47 上に形成する。このレジストをマスクとして、層間絶縁層 47、35、シリコン窒化層 33 および TEOS 層 31 からなる層を選択的にエッチングすることにより、コンタクトホール 51a～51d を形成する。コンタクトホール 51a は、 N^- 型不純物領域 29a に到達している。コンタクトホール 51b は、 N^- 型不純物領域 29c に到達している。コンタクトホール 51c は、接続層 19 の一方端部に到達している。コンタクトホール 51d は、接続層 19 の他方端部に到達している。

【0074】

次に、層間絶縁層 47 をマスクとして、活性領域 13a に、 N 型不純物（例えば、リン）をイオン注入し、 N^+ 型不純物領域 49a、49b を形成する。 N^+ 型不純物領域 49a と N^- 型不純物領域 29a とで、 N^+ 型ソース／ドレイン領域 41a が構成される。また、 N^+ 型不純物領域 49b と N^- 型不純物領域 29c とで、 N^+ 型ソース／ドレイン領域 41c が構成される。

【0075】

図 7 に示すように、層間絶縁層 47 上およびコンタクトホール 51a～51d 内に、例えば、CVD 法を用いて、ドーパドアモルファスシリコン層を形成する。層間絶縁層 47 上のドーパドアモルファスシリコン層は、ストレージノードや下部電極となる。コンタクトホール 51a～51d 内のドーパドアモルファスシリコン層は、埋め込み接続層 58a～58d となる。このように、ストレージノ

ードとこれに接続する埋め込み接続層とは、一体的に形成され、また、下部電極とこれに接続する埋め込み接続層とは、一体的に形成される。ドーブドアモルファスシリコン層は、製造工程中の熱処理により、多結晶シリコン層となる。

【 0 0 7 6 】

次に、このドーブドアモルファスシリコン層を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、DRAM領域 1 0 0 0 には、ストレージノード 5 3 a、5 3 b が形成される。また、アナログ素子領域 2 0 0 0 には、下部電極 5 5 a、5 5 b が形成される。

【 0 0 7 7 】

(ストレージノードおよび下部電極の表面に凹凸形成)

図 1 5 に示すストレージノード 5 3 a、5 3 b および下部電極 5 5 a、5 5 b の表面に凹凸を形成する工程を、図 8 ～図 9 を用いて説明する。ストレージノード 5 3 a、5 3 b および下部電極 5 5 a、5 5 b の表面に凹凸をつけることにより、表面積を大きくし、蓄積容量を増やしているのである。

【 0 0 7 8 】

図 8 に示すように、ストレージノード 5 3 a、5 3 b および下部電極 5 5 a、5 5 b を覆うように、P⁻型シリコン基板 1 1 全面に、凹凸な表面を有するアモルファスシリコン層 5 7 を形成する。この表面処理は、公知であり、本明細書では説明を省略する。

【 0 0 7 9 】

図 9 に示すように、アモルファスシリコン層 5 7 を全面エッチバックすることにより、層間絶縁層 4 7 上のアモルファスシリコン層 5 7 を除去する。これは、ストレージノード 5 3 a とストレージノード 5 3 b とのショートを防ぐためであり、かつ下部電極 5 5 a と下部電極 5 5 b とのショートを防ぐためである。このエッチバックのとき、アモルファスシリコン層 5 7 表面の凹凸が、そのままストレージノード 5 3 a、5 3 b 表面および下部電極 5 5 a、5 5 b 表面に反映する。この結果、ストレージノード 5 3 a、5 3 b 表面および下部電極 5 5 a、5 5 b 表面に凹凸が形成される。

【 0 0 8 0 】

(セルプレート、上部電極、抵抗素子の形成)

図 1 5 に示すセルプレート 6 7、上部電極 6 9 a、6 9 b、抵抗素子 4 0 0、5 0 0 を形成する工程を、図 1 0 ～ 図 1 4 を用いて説明する。

【 0 0 8 1 】

図 1 0 に示すように、ストレージノード 5 3 a、5 3 b および下部電極 5 5 a、5 5 b を覆うように、P⁻型シリコン基板 1 1 全面に、例えば、CVD 法により、シリコン窒化層を形成する。このシリコン窒化層を熱酸化することにより、このシリコン窒化層表面にシリコン酸化層を形成する。これが ON 層 6 1 である。

【 0 0 8 2 】

図 1 1 に示すように、ON 層 6 1 を覆うように、P⁻型シリコン基板 1 1 全面に、例えば、CVD 法により、ノンドープの多結晶シリコン層 6 3 を形成する。

【 0 0 8 3 】

図 1 2 に示すように、第 1 回イオン注入工程を行う。すなわち、多結晶シリコン層 6 3 全面に、不純物（例えば、リン）をイオン注入する。ドーズ量は、 $2 \times 10^{15} \sim 3 \times 10^{15}$ である。注入エネルギーは、 $10 \sim 20 \text{ keV}$ である。これらの条件は、図 1 5 に示す抵抗素子 5 0 0 の抵抗値（例えば、 $1 \sim 10 \text{ k}\Omega$ ）を得るため条件である。

【 0 0 8 4 】

図 1 3 に示すように、多結晶シリコン層 6 3 のうち、図 1 5 に示す抵抗素子 5 0 0 が形成される領域上に、レジスト 6 5 を形成する。そして、第 2 回イオン注入工程を行う。すなわち、レジスト 6 5 をマスクとして、多結晶シリコン層 6 3 に、不純物（例えば、リン）をイオン注入する。ドーズ量は、 $5 \times 10^{15} \sim 8 \times 10^{15}$ である。注入エネルギーは、 $10 \sim 20 \text{ keV}$ である。第 1 および第 2 イオン注入工程により、図 1 5 に示す抵抗素子 4 0 0 の抵抗値（例えば、 $200 \sim 300 \Omega$ ）が得られる。

【 0 0 8 5 】

そして、多結晶シリコン層 6 3 を、例えば、フォトリソグラフィとエッチングとにより、所定のパターンニングをする。これにより、図 1 4 に示すように、D

R A M領域 1 0 0 0 には、セルプレート 6 7 が形成される。また、アナログ素子領域 2 0 0 0 には、上部電極 6 9 a、6 9 b、抵抗素子 4 0 0 および抵抗素子 5 0 0 が形成される。

【 0 0 8 6 】

(アルミ配線の形成)

図 1 5 に示すアルミ配線 7 5 a ~ 7 5 f を形成する工程を、図 1 5 を用いて説明する。この工程は公知の方法を用いることができるので、簡単な説明にとどめる。

【 0 0 8 7 】

図 1 5 に示すように、P⁻型シリコン基板 1 1 全面に、シリコン酸化層からなる層間絶縁層 7 1 を形成する。層間絶縁層 7 1 に複数のスルーホールを形成し、各スルーホールにタングステンプラグ 7 3 a ~ 7 3 f を埋め込む。そして、層間絶縁層 7 1 上に、アルミ配線 7 5 a ~ 7 5 f を形成する。

【 0 0 8 8 】

以上述べた製造工程により、図 1 5 に示す半導体装置 1 が完成する。半導体装置 1 の製造方法によれば、次の(効果 1) ~ (効果 3) が生じる。

【 0 0 8 9 】

(効果 1)

図 7 ~ 図 1 4 に示すように、半導体装置 1 の製造方法によれば、セル容量 7 0 0 a、7 0 0 b と容量素子 6 0 0 a、6 0 0 b とを同時に形成している。このため、これらを別々に形成する場合に比べて、工程の簡略化を図ることができる。

【 0 0 9 0 】

(効果 2)

図 5 に示すように、半導体装置 1 の製造方法によれば、接続層 1 9 を、ビット線 3 0 0 と同時に形成するので、工程の簡略化を図ることができる。

【 0 0 9 1 】

(効果 3)

図 1 2 および図 1 3 に示すように、半導体装置 1 の製造方法によれば、抵抗素子 4 0 0 形成のためのイオン注入回数を二回とし、抵抗素子 5 0 0 形成のための

イオン注入回数を一回とすることにより、抵抗素子 4 0 0 の抵抗値を、抵抗素子 5 0 0 の抵抗値よりも低くしている。このため、半導体装置 1 の製造方法によれば、互いに抵抗値が異なる抵抗素子 4 0 0、5 0 0 を形成することができる。

【0 0 9 2】

[第 2 実施形態]

{デバイスの構造}

図 1 8 は、本発明の第 2 実施形態にかかる半導体装置の断面を模式的に示す図である。第 2 実施形態にかかる半導体装置 3 は、図 1 5 に示す第 1 実施形態と同様に、DRAM 混載型半導体装置である。第 2 実施形態にかかる半導体装置 3 において、第 1 実施形態にかかる半導体装置 1 と同等の機能を有する部分には、同一符号を付してある。半導体装置 3 が半導体装置 1 と相違する部分を説明し、同じ部分については説明を省略する。

【0 0 9 3】

半導体装置 3 によれば、抵抗素子 4 0 0 の抵抗値は、例えば、 $10 \sim 100 \Omega$ であり、最低抵抗値が、第 1 実施形態にかかる半導体装置 1 の抵抗素子 4 0 0 に比べて、小さい値になっている。これは、第 2 実施形態にかかる半導体装置 3 の抵抗素子 4 0 0 を、イオン注入と拡散とにより作製したからである。

【0 0 9 4】

また、半導体装置 3 によれば、抵抗素子 5 0 0 上に、シリコン酸化層 7 7 が位置している。シリコン酸化層 7 7 は、拡散工程においてマスクとして用いられた物である。詳しくは、次のデバイスの製造方法で説明する。

【0 0 9 5】

このような、半導体装置 3 によれば、上記第 1 実施形態にかかる半導体装置 1 で説明した（効果 1）～（効果 4）が生じる。

【0 0 9 6】

{デバイスの製造方法}

図 1 8 に示す半導体装置 3 の製造方法を、図 1 6 および図 1 7 を用いて説明する。図 1 6 および図 1 7 は、半導体装置 3 の製造方法の工程図である。

【0 0 9 7】

まず、第 1 実施形態と同様に、図 1 ～図 1 2 に示す工程を行う。

【 0 0 9 8 】

図 1 6 に示すように、多結晶シリコン層 6 3 上に、例えば、CVD 法を用いて、シリコン酸化層 7 7 を形成する。次に、例えば、フォトリソグラフィとエッチングにより、シリコン酸化層 7 7 をパターンニングする。これにより、多結晶シリコン層 6 3 のうち、図 1 8 に示す抵抗素子 5 0 0 が形成される領域上に、シリコン酸化層 7 7 を残す。

【 0 0 9 9 】

図 1 7 に示すように、拡散工程を行う。すなわち、シリコン基板 1 1 を拡散炉に入れ、シリコン酸化層 7 7 をマスクとして、多結晶シリコン層 6 3 に、不純物（例えば、リン）を熱拡散する。条件は、以下のとおりである。

【 0 1 0 0 】

不純物： POCl_3

拡散温度：800～900℃

拡散時間：15～30分

図 1 2 に示すイオン注入工程およびこの拡散工程により、図 1 8 に示す抵抗素子 4 0 0 の抵抗値（例えば、10～100Ω）が得られる。

【 0 1 0 1 】

後の工程は、第 1 実施形態にかかる半導体装置 1 の製造方法と同じなので、説明を省略する。

【 0 1 0 2 】

第 2 実施形態にかかる半導体装置 3 の製造方法によれば、上記第 1 実施形態にかかる半導体装置 1 の製造方法で説明した（効果 1）および（効果 2）が生じる。

【 0 1 0 3 】

さらに、第 2 実施形態にかかる半導体装置 3 の製造方法によれば、抵抗値が異なる抵抗素子 4 0 0、5 0 0 を形成することができ、かつ、抵抗素子 4 0 0 の最低抵抗値を下げることができる。

【 0 1 0 4 】

[第 3 実施形態]

{デバイスの構造}

図 2 1 は、本発明の第 3 実施形態にかかる半導体装置の断面を模式的に示す図である。第 3 実施形態にかかる半導体装置 5 は、図 1 5 に示す第 1 実施形態と同様に、DRAM 混載型半導体装置である。第 3 実施形態にかかる半導体装置 5 において、第 1 実施形態にかかる半導体装置 1 と同等の機能を有する部分には、同一符号を付してある。半導体装置 5 が半導体装置 1 と相違する部分を説明し、同じ部分については説明を省略する。

【0 1 0 5】

半導体装置 5 によれば、抵抗素子 4 0 0 の抵抗値は、例えば、5 ~ 1 0 Ω であり、最低抵抗値が、第 1 実施形態にかかる半導体装置 1 の抵抗素子 4 0 0 に比べて、小さい値になっている。これは、第 3 実施形態にかかる半導体装置 5 の抵抗素子 4 0 0 上に、チタンシリサイド層 8 1 があるからである。なお、チタンシリサイド層 8 1 は、セルプレート 6 7 および上部電極 6 9 a、6 9 b 上にも位置している。

【0 1 0 6】

また、半導体装置 5 によれば、抵抗素子 5 0 0 上に、シリコン酸化層 7 7 が位置している。シリコン酸化層 7 7 は、チタンシリサイド層 8 1 形成工程においてマスクとして用いられた物である。詳しくは、次のデバイスの製造方法で説明する。

【0 1 0 7】

このような、半導体装置 5 によれば、上記第 1 実施形態にかかる半導体装置 1 で説明した（効果 1）～（効果 4）が生じる。

【0 1 0 8】

{デバイスの製造方法}

図 2 1 に示す半導体装置 5 の製造方法を、図 1 9 および図 2 0 を用いて説明する。図 1 9 および図 2 0 は、半導体装置 5 の製造方法の工程図である。

【0 1 0 9】

まず、第 1 実施形態と同様に、図 1 ~ 図 1 2 に示す工程を行う。次に、第 2 実

施形態と同様に、図 1 6 に示す工程を行う。

【0 1 1 0】

図 1 9 に示すように、多結晶シリコン層 6 3 およびシリコン酸化層 7 7 を覆うように、例えば、スパッタリングを用いて、厚さ 2 0 ~ 5 0 n m のチタン層 7 9 を形成する。そして、チタン層 7 9 が形成された P⁻型シリコン基板 1 1 を、例えば、窒素雰囲気中で第 1 の熱処理をする。第 1 の熱処理は、例えば、6 5 0 ~ 7 5 0 °C で、3 0 ~ 6 0 秒の条件で行う。

【0 1 1 1】

この第 1 の熱処理により、図 2 0 に示すように、チタンシリサイド層 8 1 が形成される。そして、例えば、ウェットエッチングにより、窒化チタン層および未反応のチタン層を除去する。次に、例えば、第 2 の熱処理をする。第 2 の熱処理は、例えば、8 0 0 ~ 8 5 0 °C で、3 0 ~ 6 0 秒の条件で行う。第 2 の熱処理により、チタンシリサイド層 2 1 a、2 1 b、2 1 c では、高抵抗の結晶構造（C 4 9 構造）から低抵抗の結晶構造（C 5 4 構造）に相転移がなされる。

【0 1 1 2】

後の工程は、第 1 実施形態にかかる半導体装置 1 の製造方法と同じなので、説明を省略する。

【0 1 1 3】

第 3 実施形態にかかる半導体装置 5 の製造方法によれば、上記第 1 実施形態にかかる半導体装置 1 の製造方法で説明した（効果 1）および（効果 2）が生じる。

【0 1 1 4】

さらに、第 3 実施形態にかかる半導体装置 5 の製造方法によれば、抵抗値が異なる抵抗素子 4 0 0、5 0 0 を形成することができ、かつ、抵抗素子 4 0 0 の最低抵抗値を下げるができる。

【0 1 1 5】

〔第 4 実施形態〕

図 2 2 は、本発明の第 4 実施形態にかかる半導体装置の断面を模式的に示す図である。第 4 実施形態にかかる半導体装置 7 は、図 1 5 に示す第 1 実施形態と同

様に、DRAM混載型半導体装置である。第4実施形態にかかる半導体装置7において、第1実施形態にかかる半導体装置1と同等の機能を有する部分には、同一符号を付してある。半導体装置7が半導体装置1と相違する部分を説明し、同じ部分については説明を省略する。

【0116】

半導体装置7によれば、二つの容量素子が直列接続された構造ではなく、容量素子600aのみの構造である。容量素子一つのみでも、容量素子が絶縁破壊するおそれがない場合は、第4実施形態にかかる半導体装置7のような構造となる。

【0117】

次に、下部電極55aと配線との電氣的導通について説明する。接続層19の一方端部は、これまでの実施形態と同様に、下部電極55aと一体形成された埋め込み接続層58cと接続されている。一方、接続層19の他方端部には、層間絶縁層71、47に形成されたコンタクトホール87が通じている。コンタクトホール87には、埋め込み接続層として機能するタングステンプラグ83が充填されている。タングステンプラグ83は、接続層19の他方端部と接続されている。層間絶縁層71上には、タングステンプラグ83と接続されたアルミ配線85がある。

【0118】

このような、半導体装置7によれば、上記第1実施形態にかかる半導体装置1で説明した（効果1）～（効果3）が生じる。

【0119】

図22に示す半導体装置7は、第1実施形態にかかる半導体装置1の製造方法と同様の方法を用いることにより、製造することができる。なお、第2実施形態にかかる半導体装置3の製造方法を用いれば、半導体装置7の抵抗素子400、抵抗素子500のそれぞれの抵抗値を、半導体装置3の抵抗素子400、抵抗素子500の抵抗値と同じにすることができる。また、第3実施形態にかかる半導体装置5の製造方法を用いれば、半導体装置7の抵抗素子400、抵抗素子500のそれぞれの抵抗値を、半導体装置5の抵抗素子400、抵抗素子500の抵

抗値と同じにすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 2】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 3】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 4】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 5】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 6】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 7】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 8】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 9】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 0】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 1】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 2】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 3】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 4】

本発明の第 1 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 5】

本発明の第 1 実施形態にかかる半導体装置を模式的に示す断面図である。

【図 1 6】

本発明の第 2 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 7】

本発明の第 2 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 1 8】

本発明の第 2 実施形態にかかる半導体装置を模式的に示す断面図である。

【図 1 9】

本発明の第 3 実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図 2 0】

本発明の第3実施形態にかかる半導体装置の製造工程を説明するために用いられる、シリコン基板を模式的に示す断面図である。

【図21】

本発明の第3実施形態にかかる半導体装置を模式的に示す断面図である。

【図22】

本発明の第4実施形態にかかる半導体装置を模式的に示す断面図である。

【符号の説明】

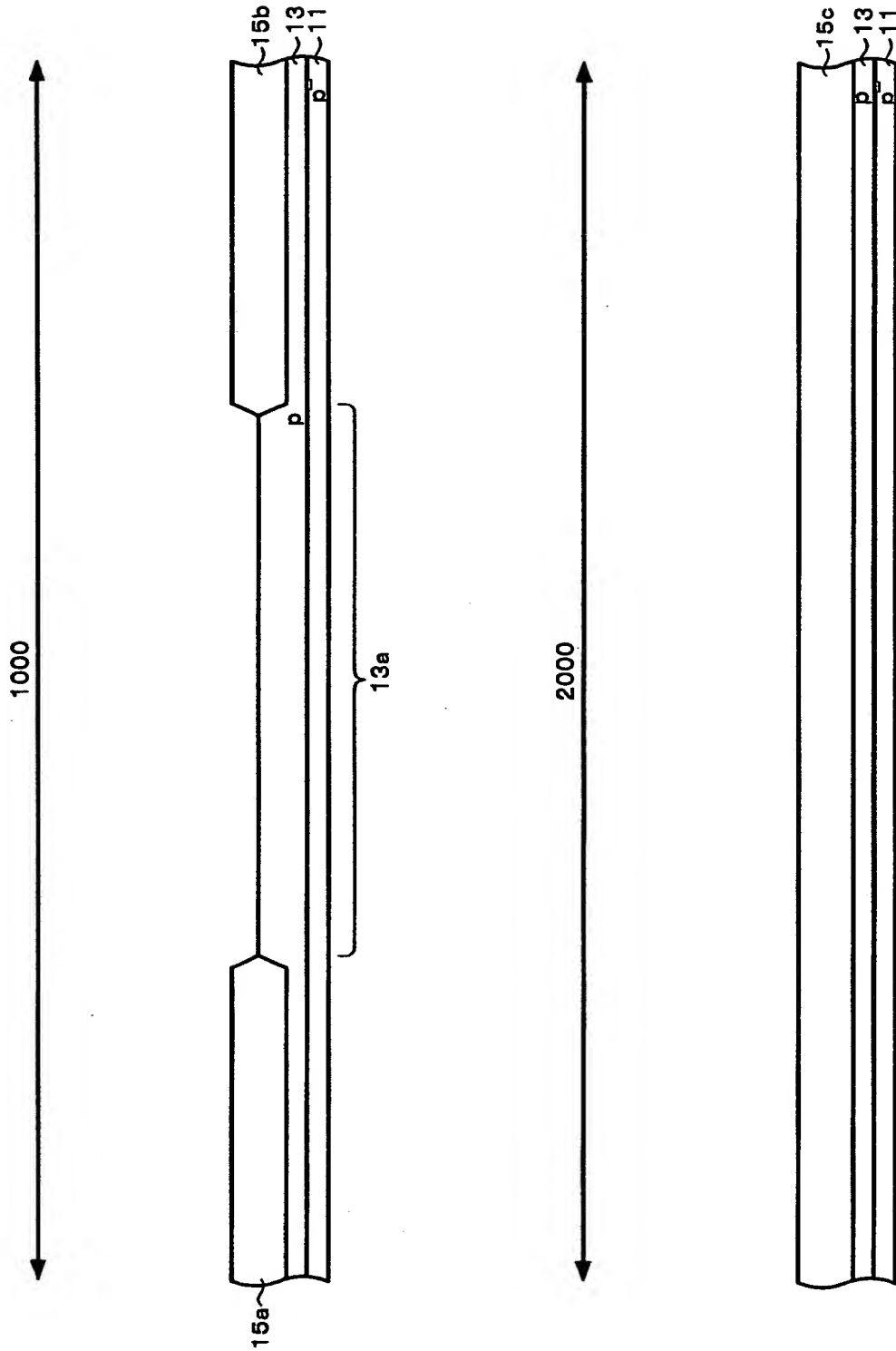
- 11 P⁻型シリコン基板
- 13 P型ウェル
- 13a 活性領域
- 15a、15b、15c フィールド酸化層
- 17a、17b ゲート電極
- 19 接続層
- 21 多結晶シリコン層
- 23 タングステンシリサイド層
- 25a、25b ゲート酸化層
- 27 シリコン酸化層
- 29a、29b、29c N⁻型不純物領域
- 31 TEOS層
- 33 シリコン窒化層
- 35 層間絶縁層
- 37 コンタクトホール
- 39 N⁺型不純物領域
- 41a、41b、41c N⁺型ソース/ドレイン領域
- 43 多結晶シリコン層
- 45 タングステンシリサイド層
- 47 層間絶縁層
- 49a、49b N⁺型不純物領域
- 51a、51b、51c、51d コンタクトホール

5 3 a、5 3 b ストレージノード
5 5 a、5 5 b 下部電極
5 7 アモルファスシリコン層
5 8 a～5 8 d 埋め込み接続層
6 1 ON層
6 3 多結晶シリコン層
6 5 レジスト
6 7 セルプレート
6 9 a、6 9 b 上部電極
7 1 層間絶縁層
7 3 a～7 3 f タングステンプラグ
7 5 a～7 5 f アルミ配線
7 7 シリコン酸化層
7 9 チタン層
8 1 チタンシリサイド層
8 3 タングステンプラグ
8 5 アルミ配線
8 7 コンタクトホール
1 0 0 a、1 0 0 b ワード線
2 0 0 a、2 0 0 b MOS電界効果トランジスタ
3 0 0 ビット線
4 0 0 抵抗素子
5 0 0 抵抗素子
6 0 0 a、6 0 0 b 容量素子
7 0 0 a、7 0 0 b セル容量
1 0 0 0 DRAM領域
2 0 0 0 アナログ素子領域

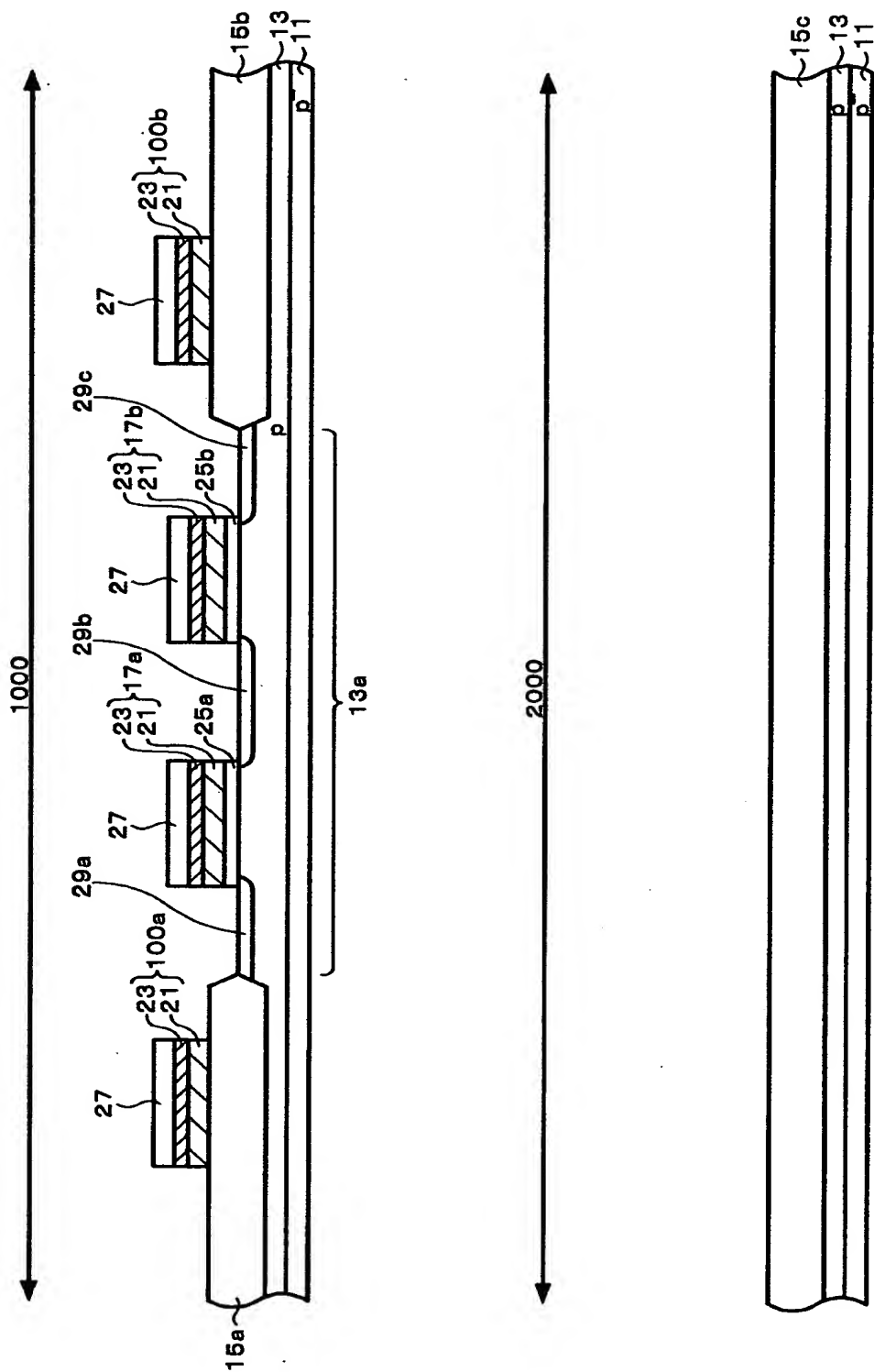
【書類名】

図面

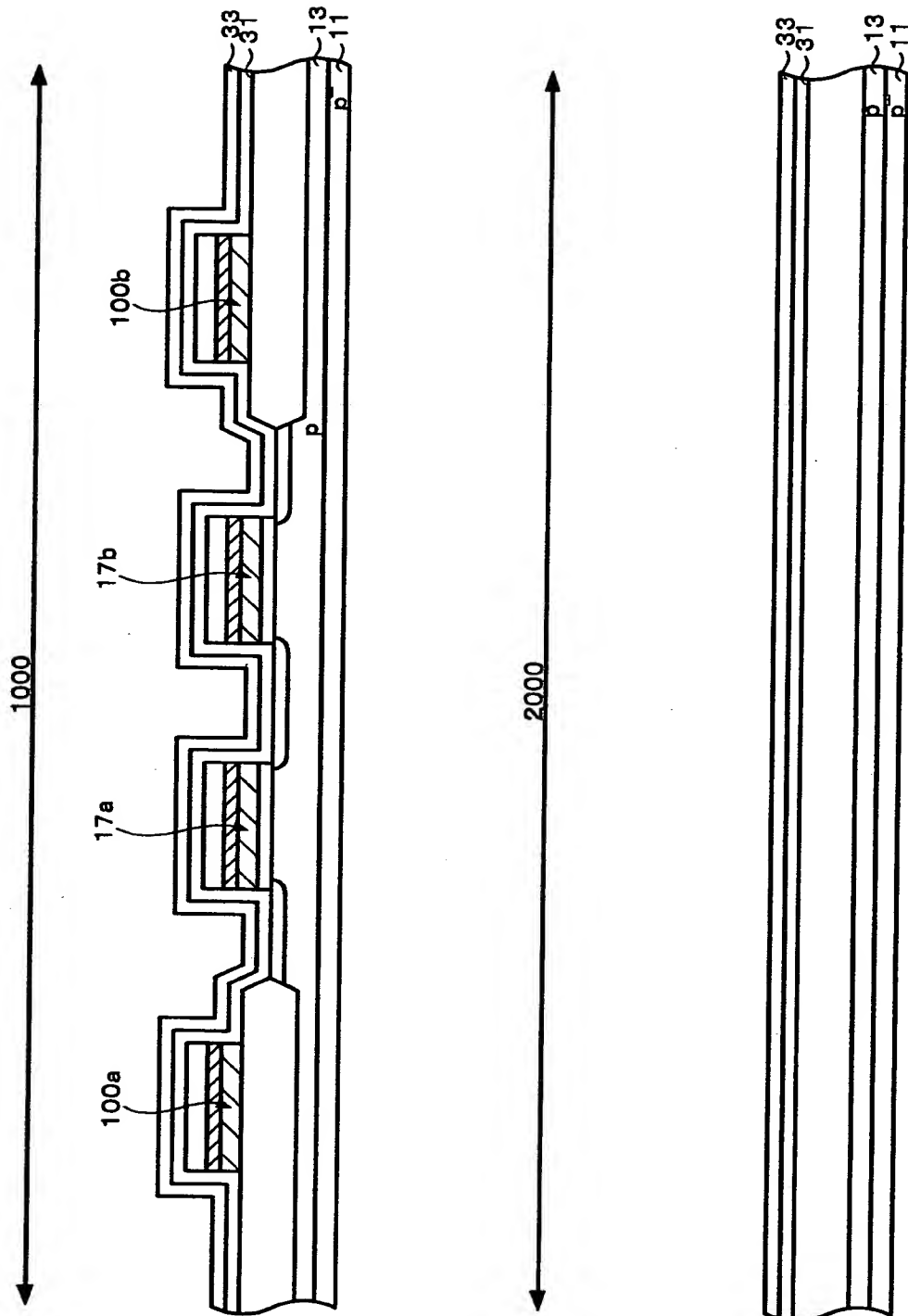
【図 1】



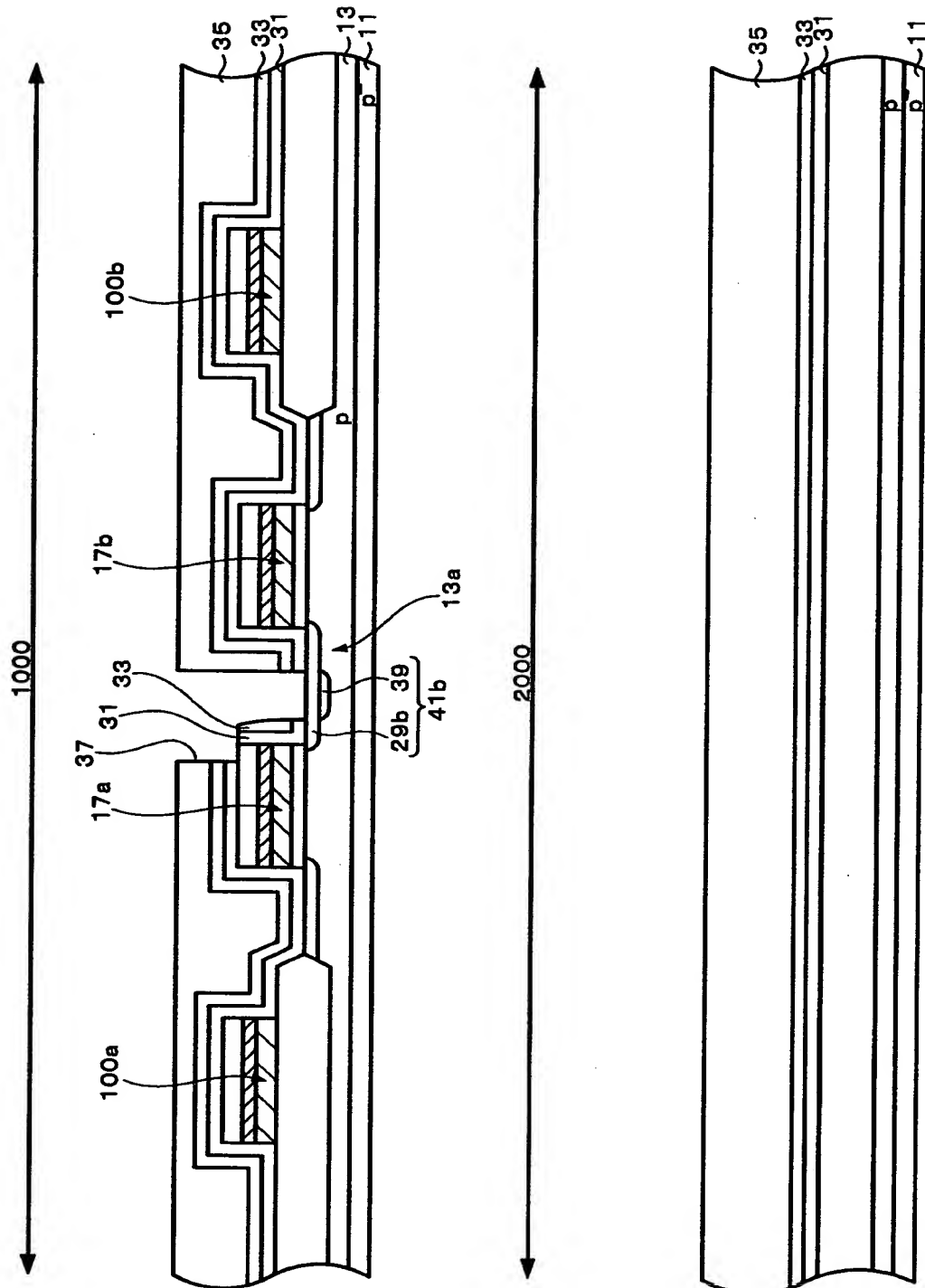
【图 2】



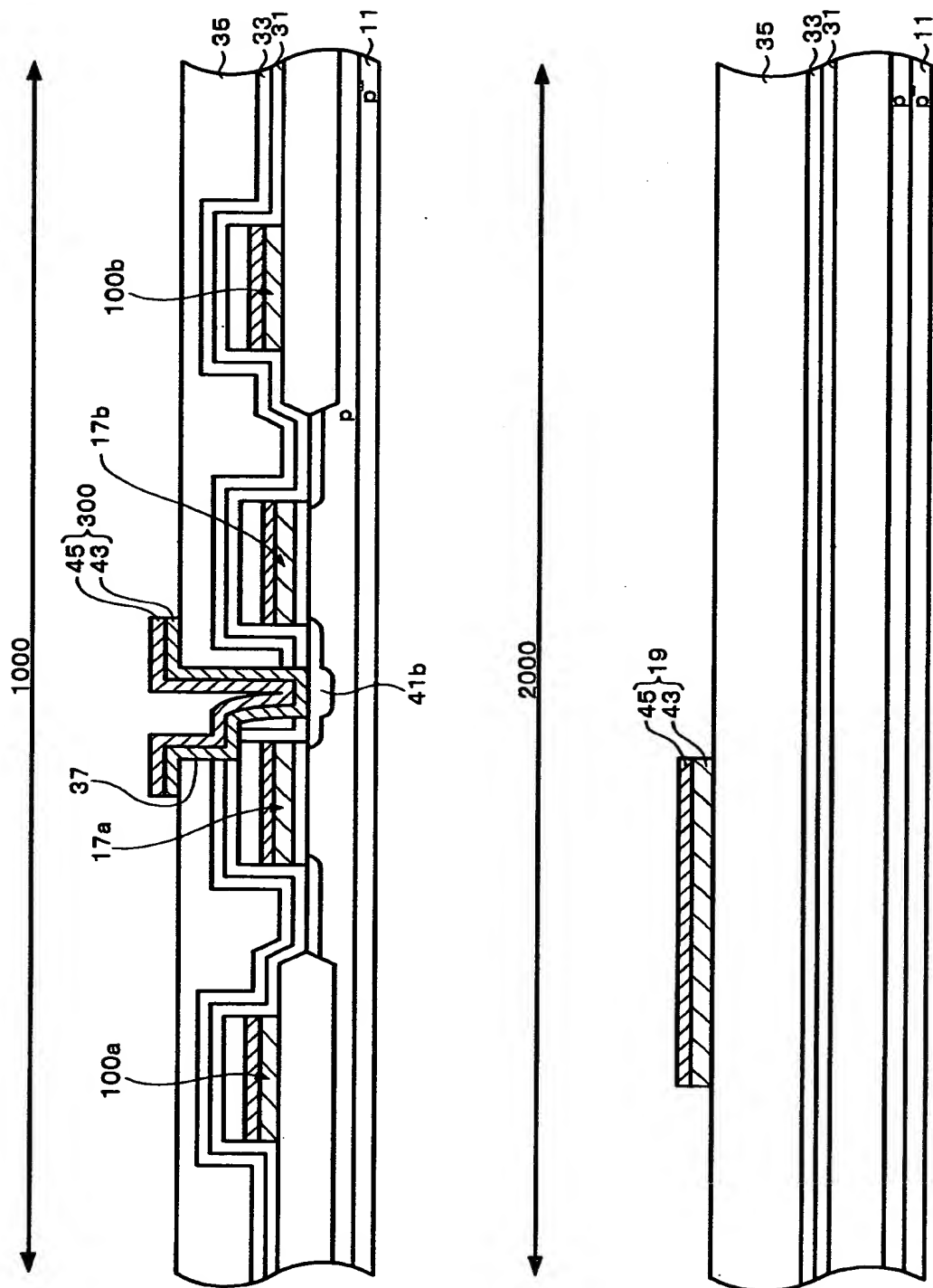
【図 3】



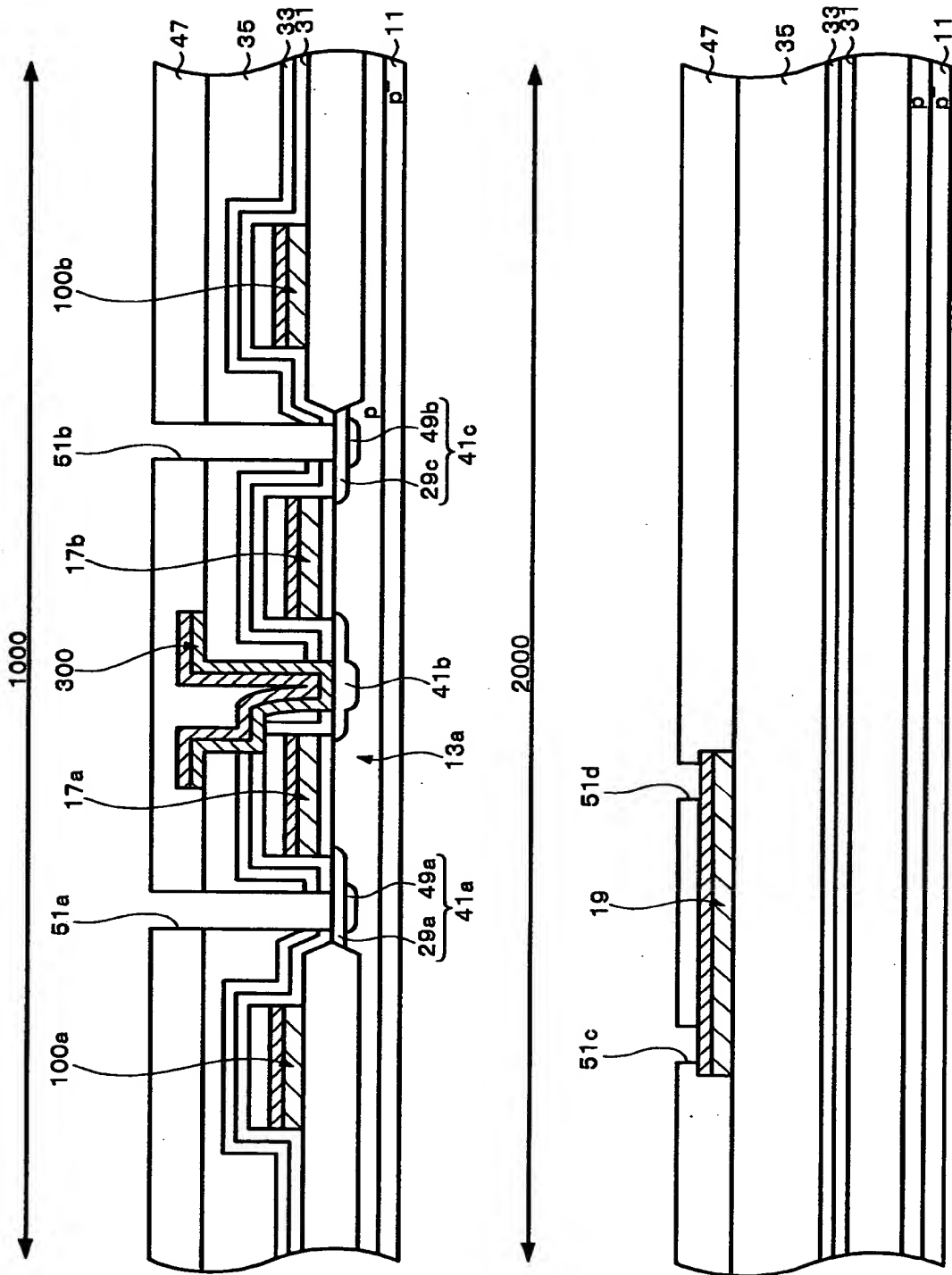
【図 4】



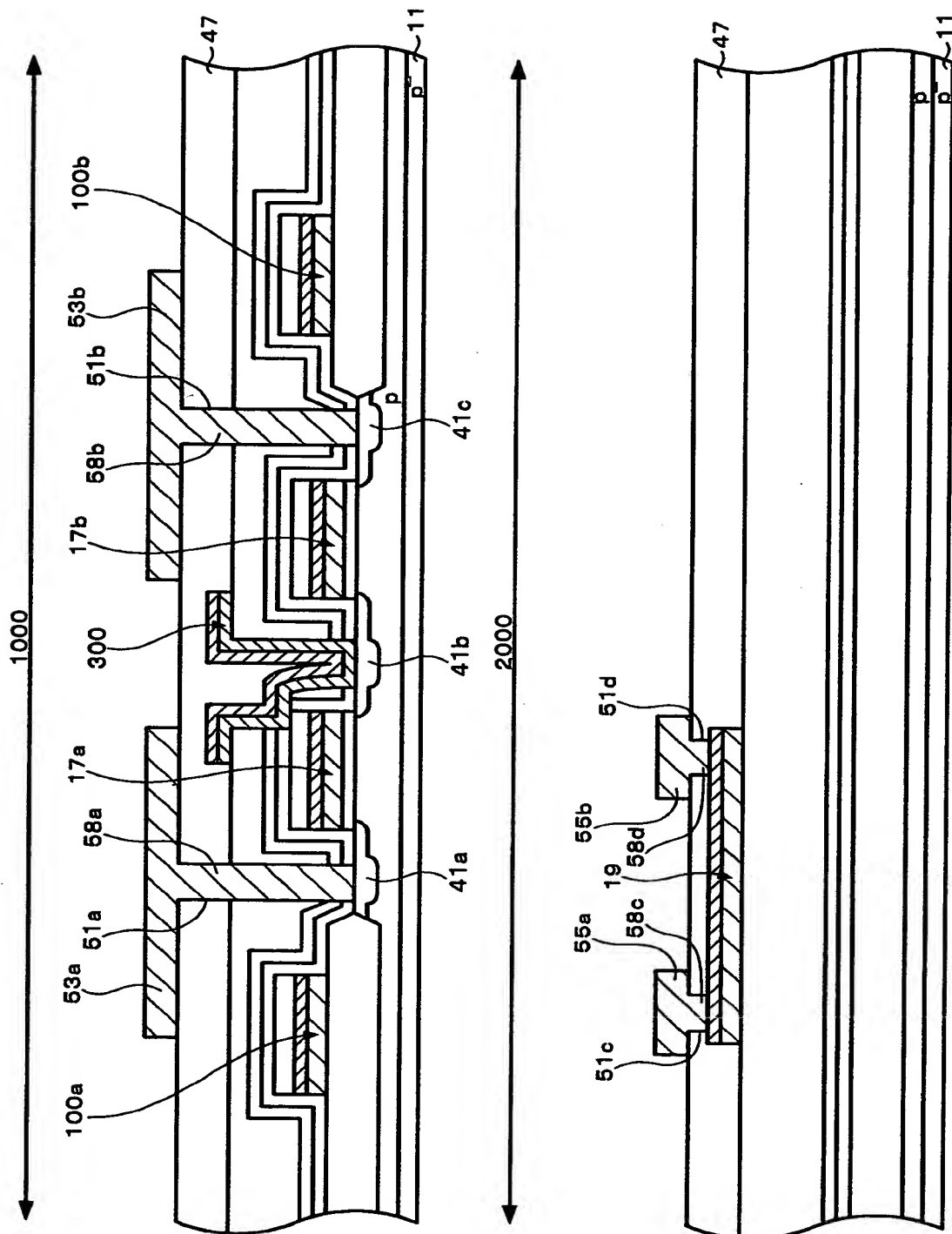
【図 5】



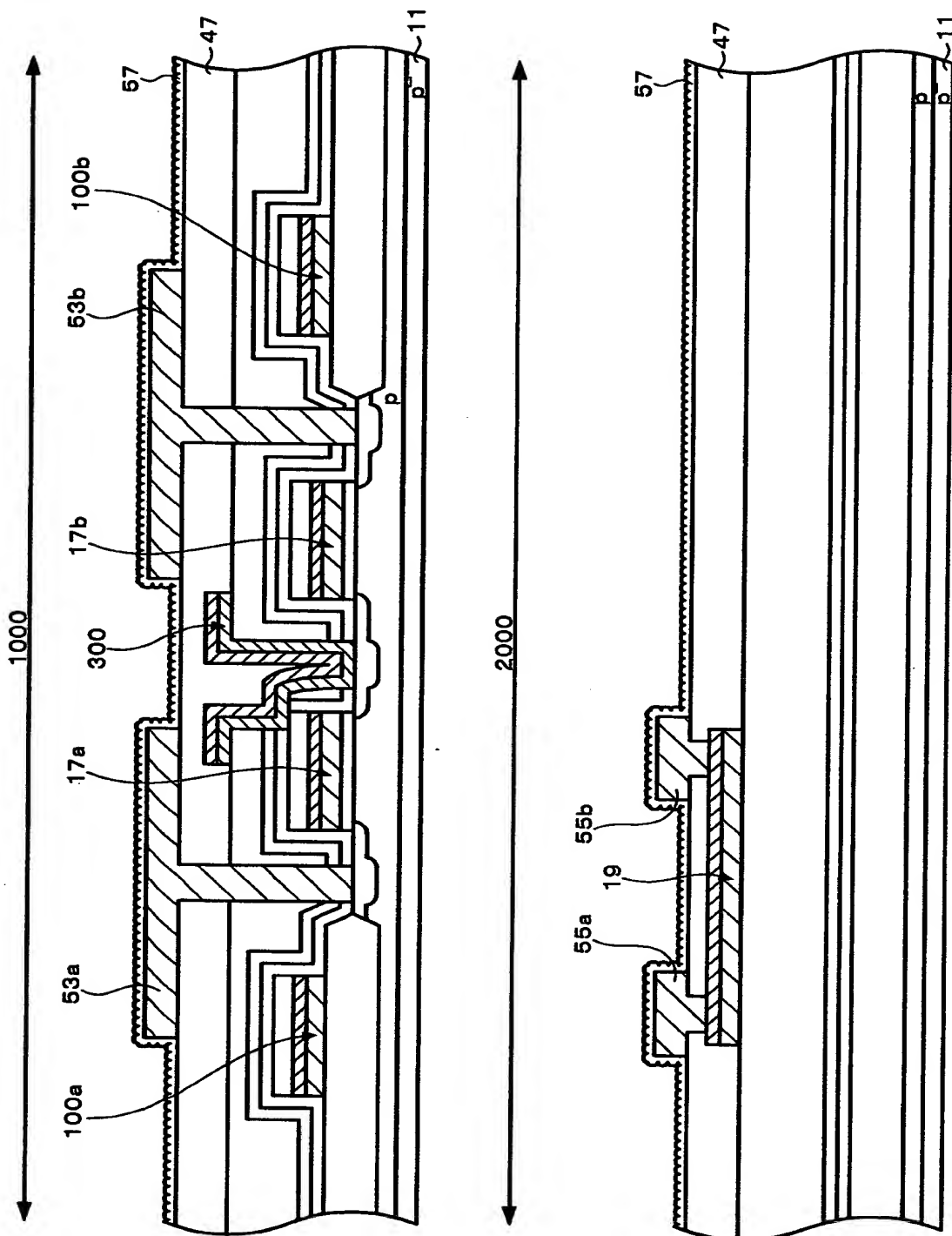
【図 6】



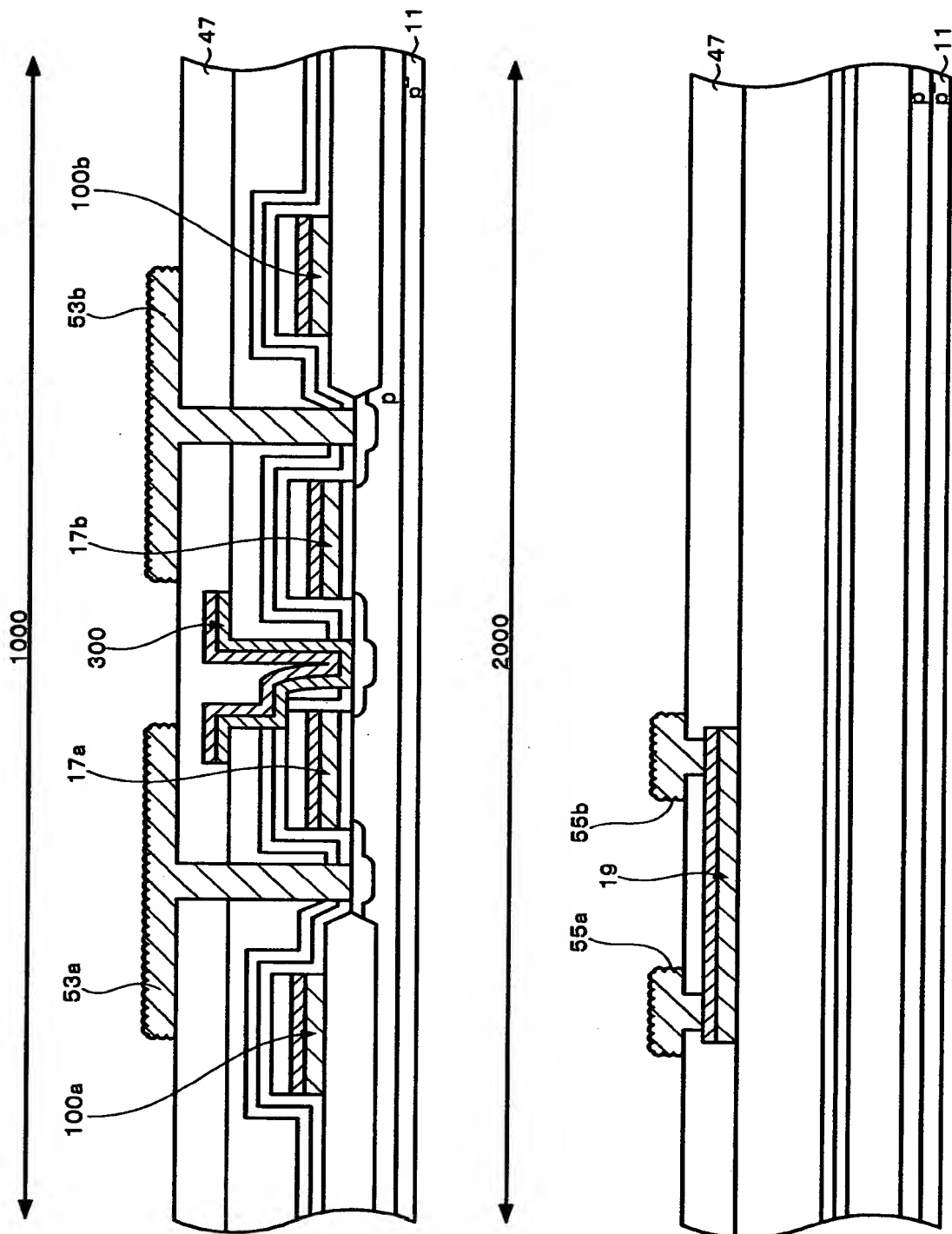
【図 7】



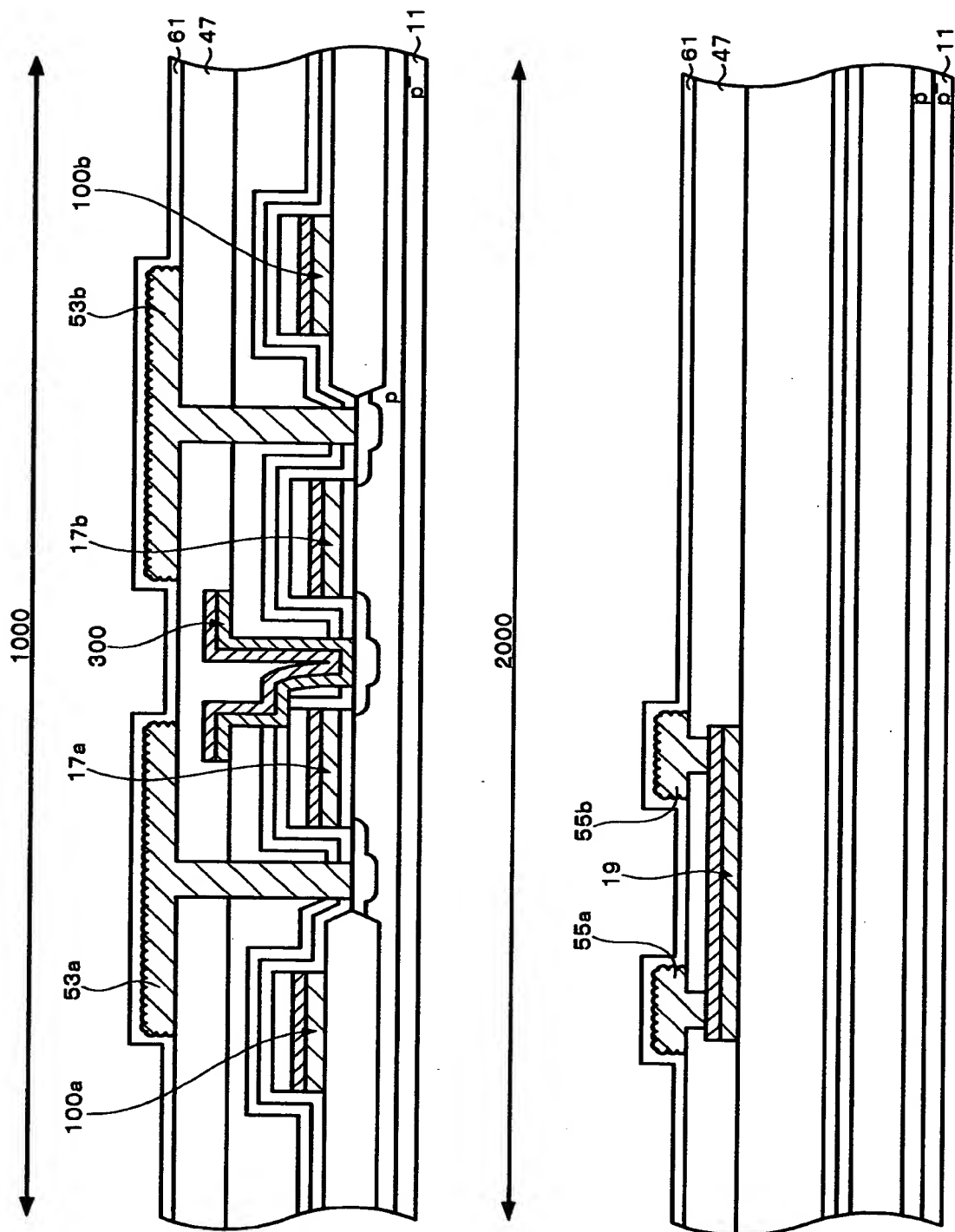
【図 8】



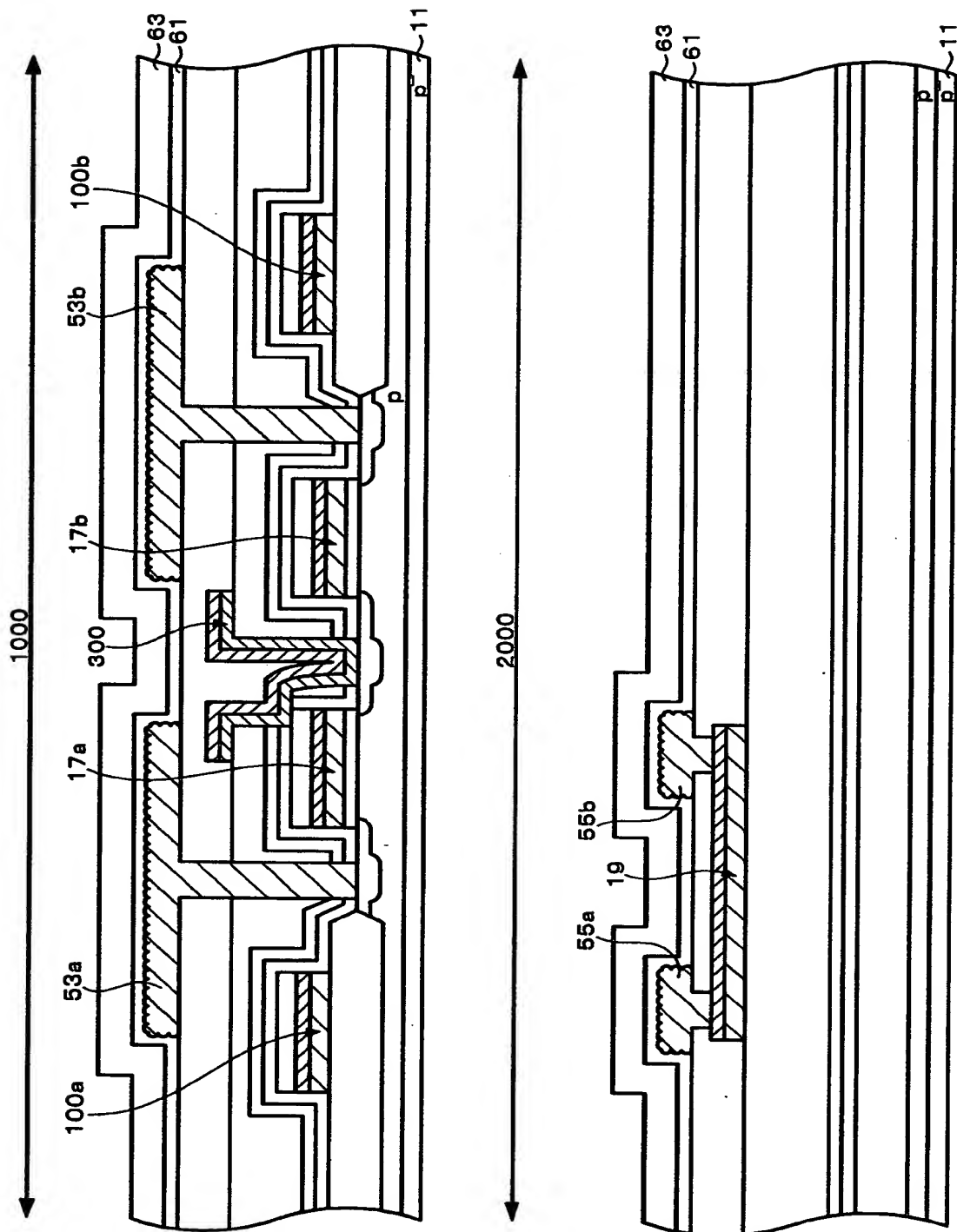
【図9】



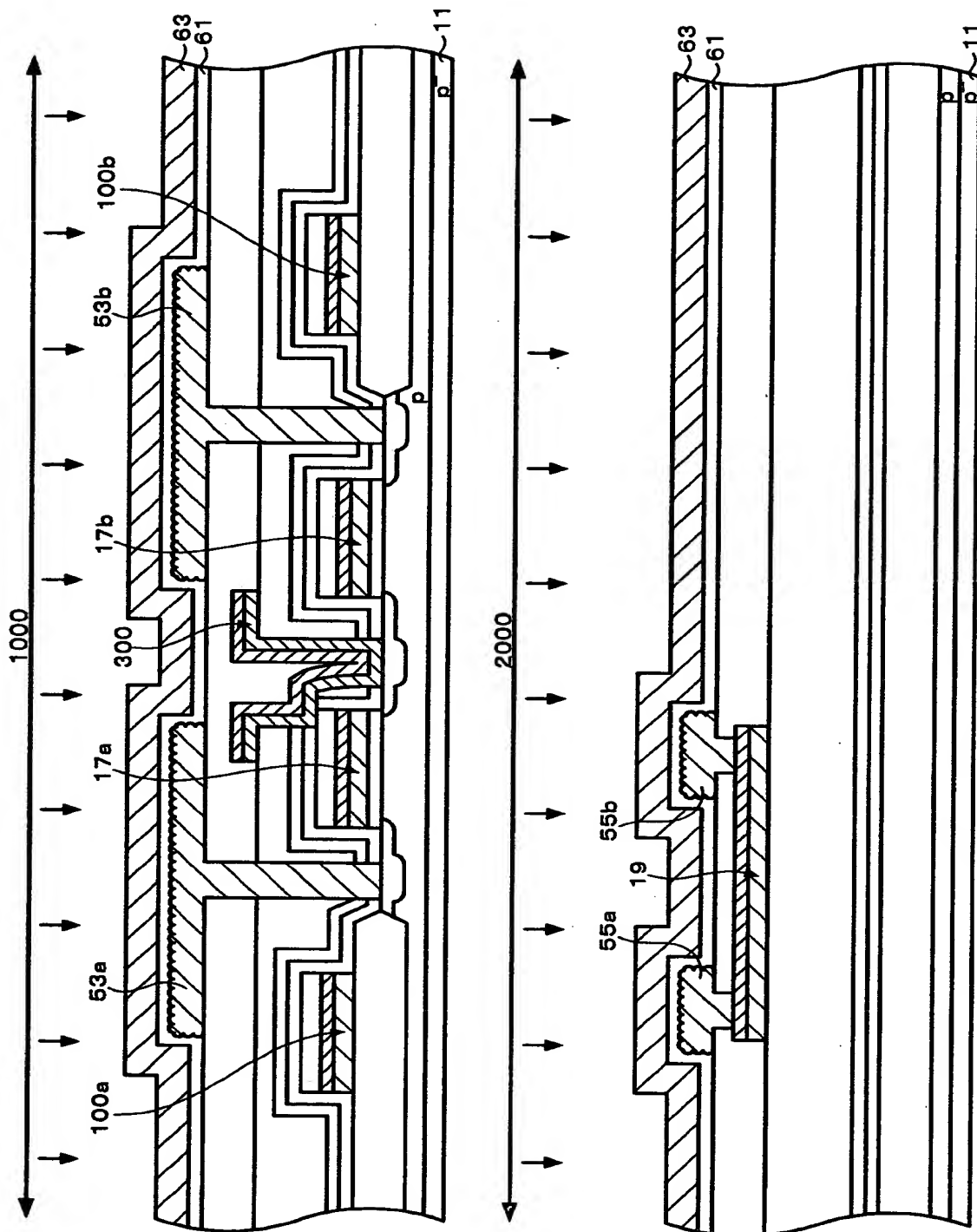
【図 10】



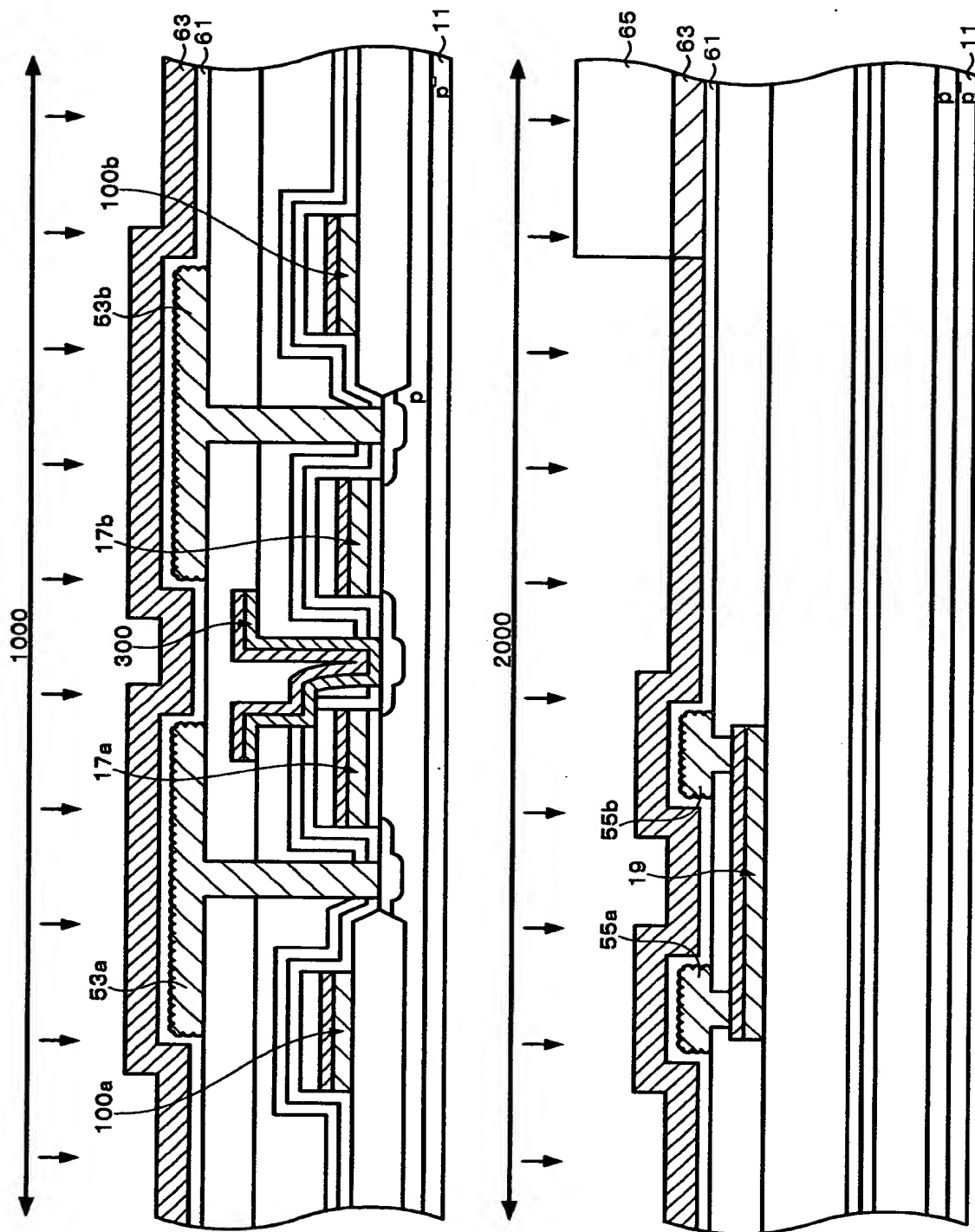
【図 11】



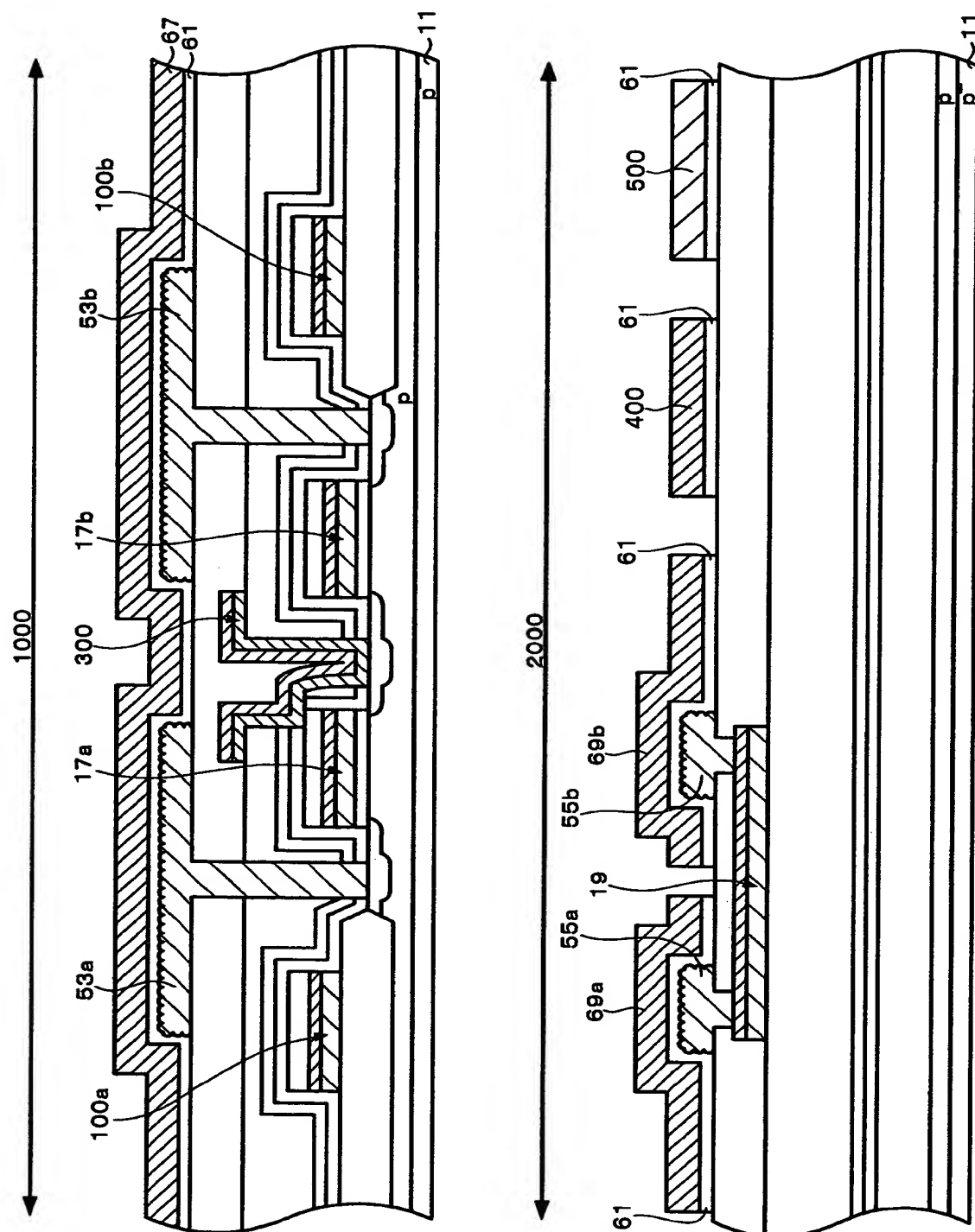
【図 12】



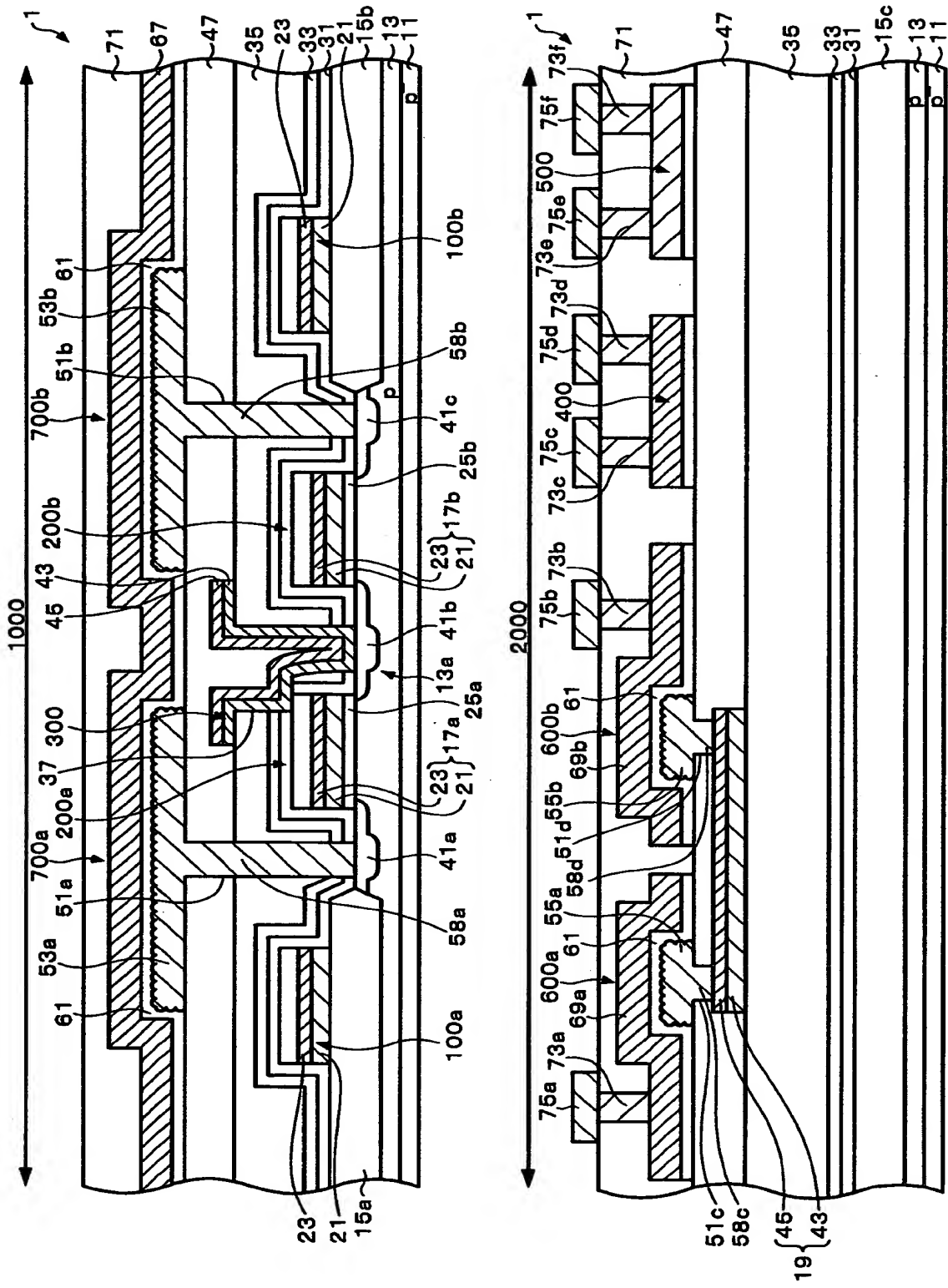
【図 13】



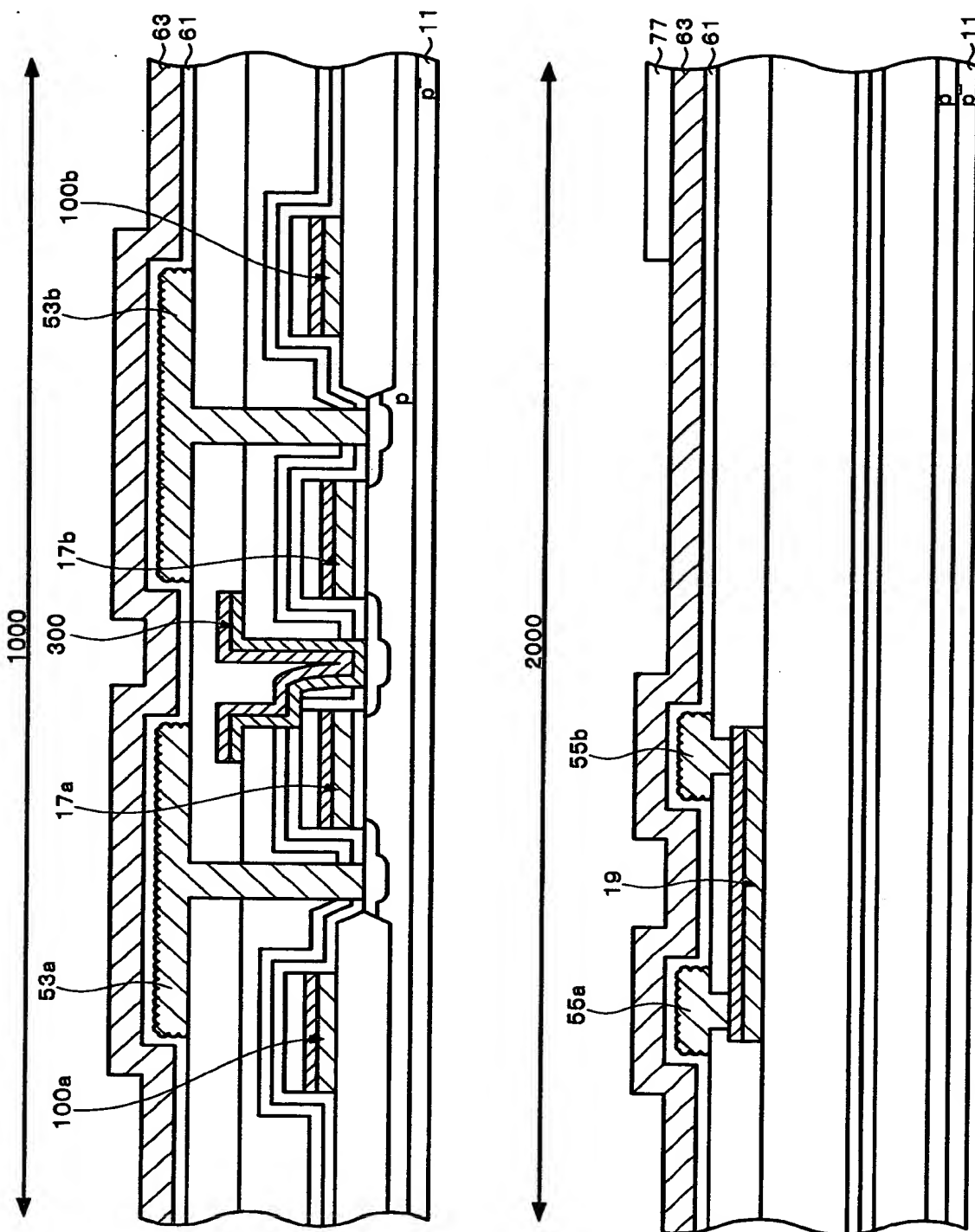
【図 14】



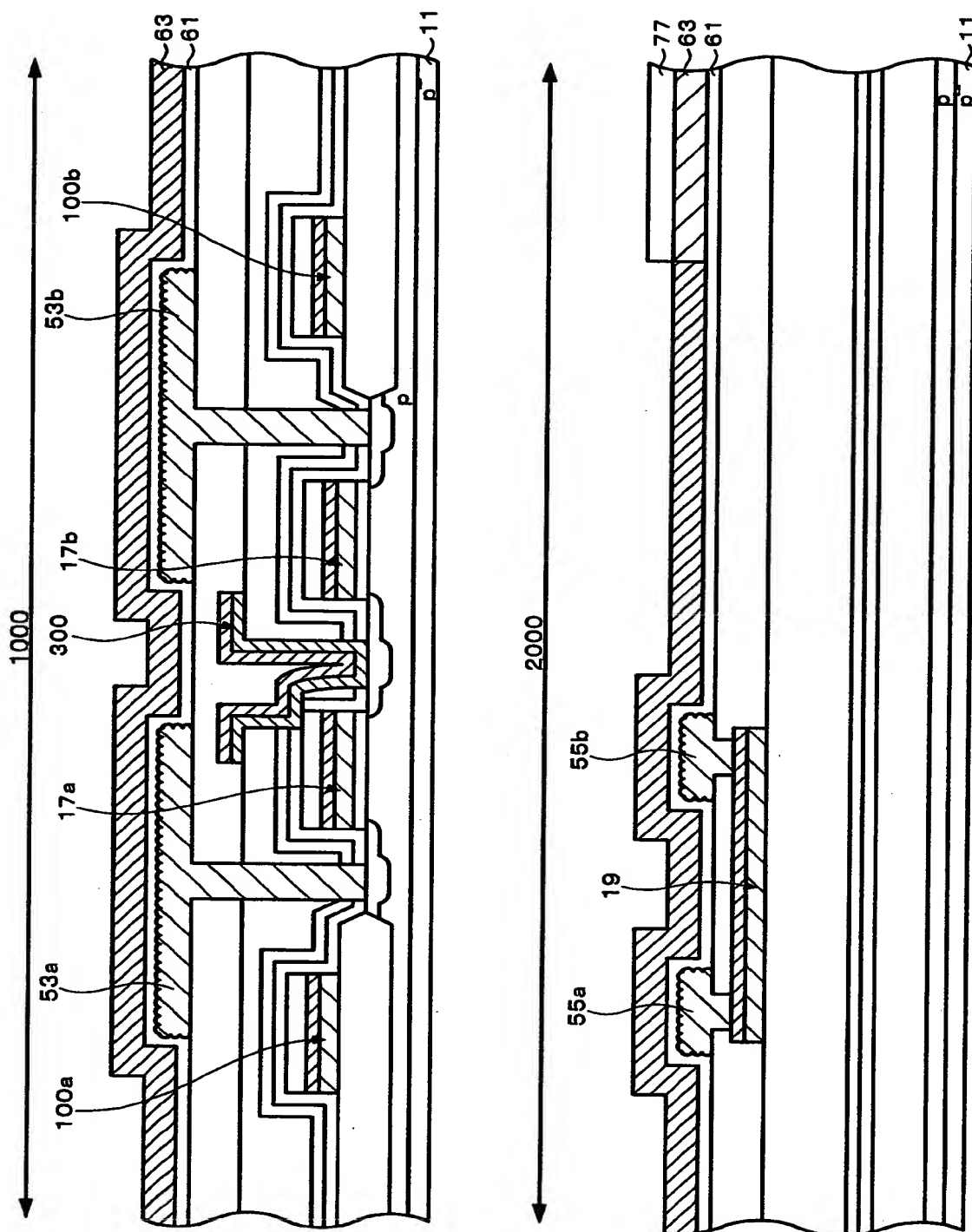
【図 15】



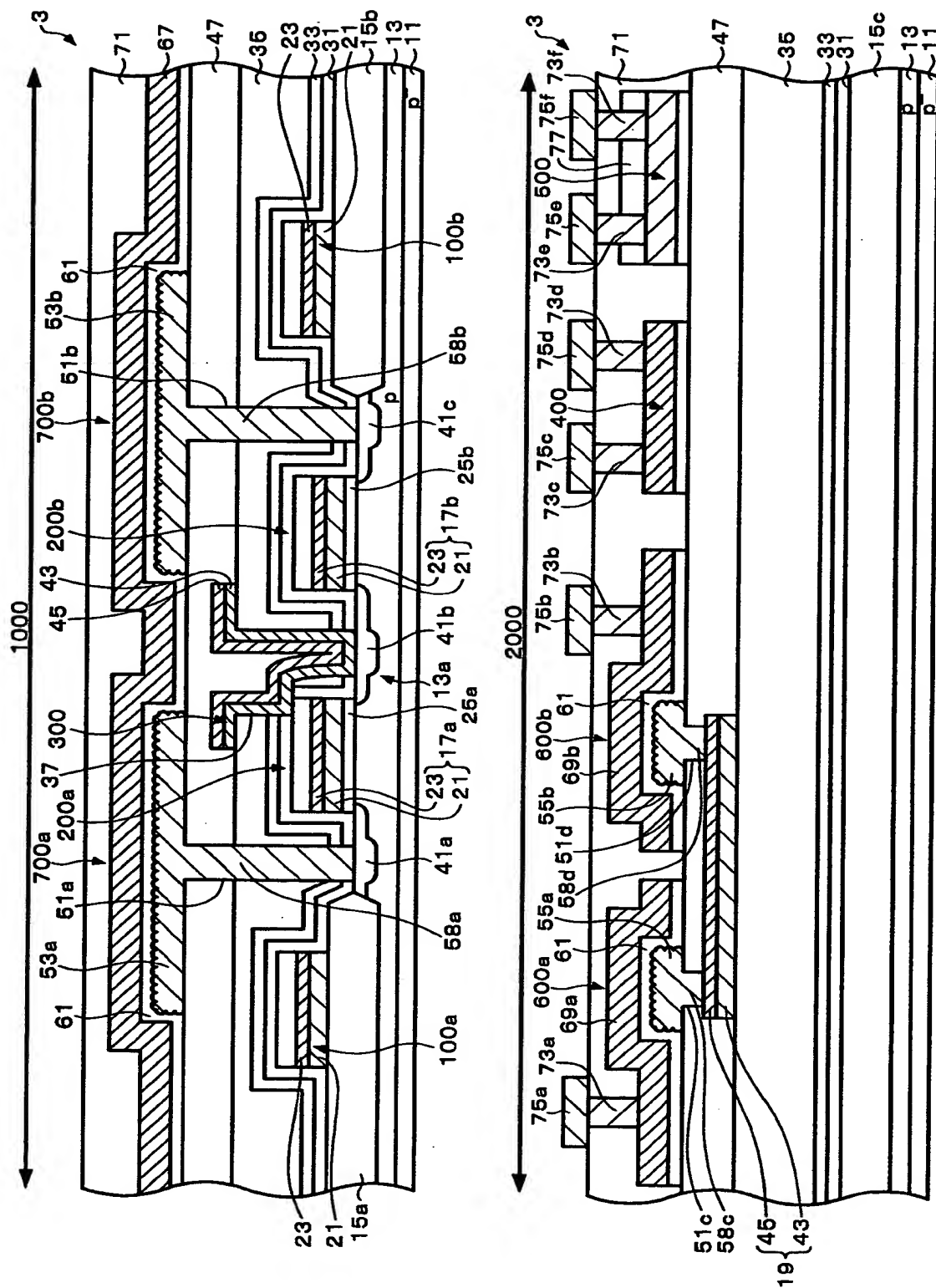
【図 16】



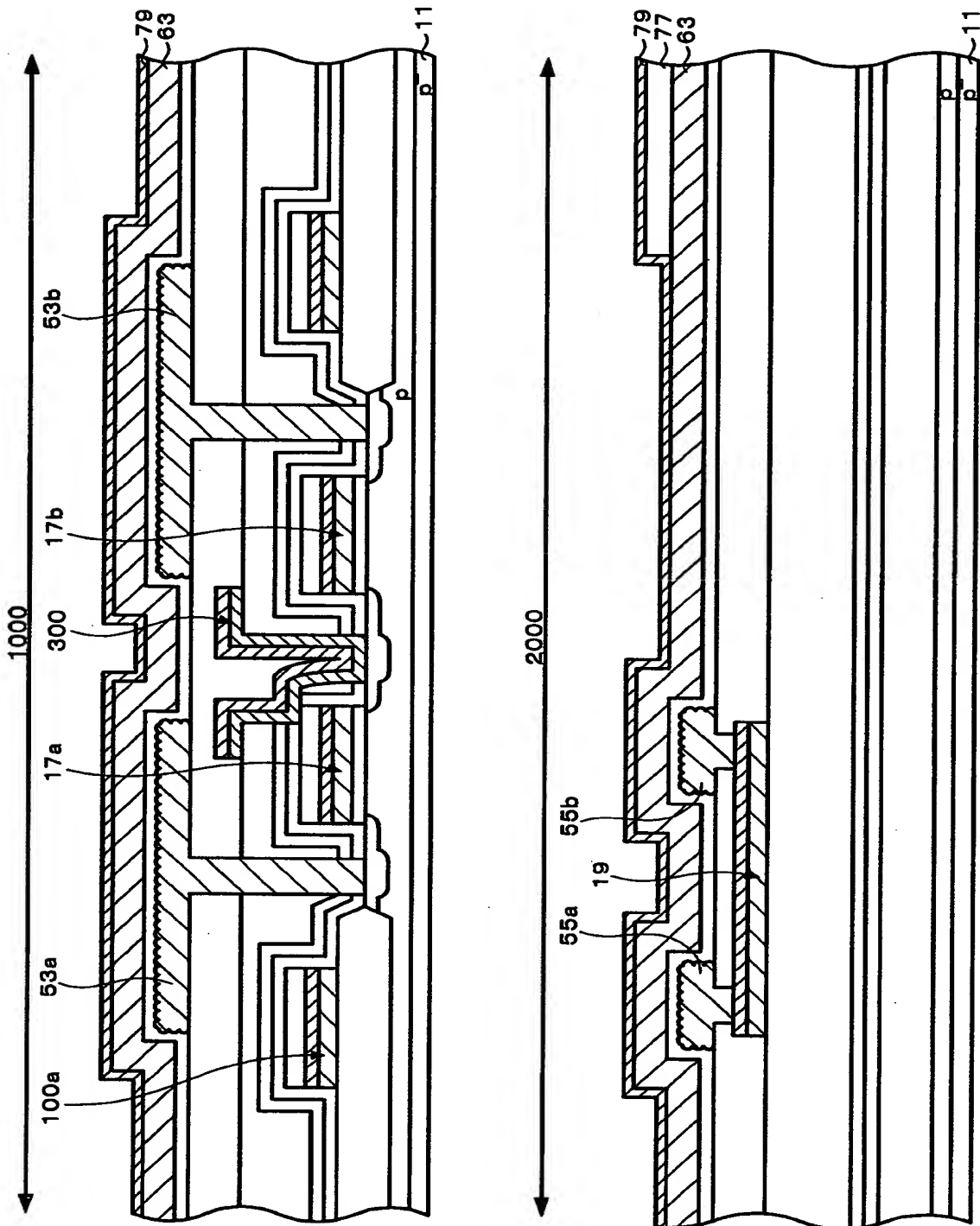
【図 17】



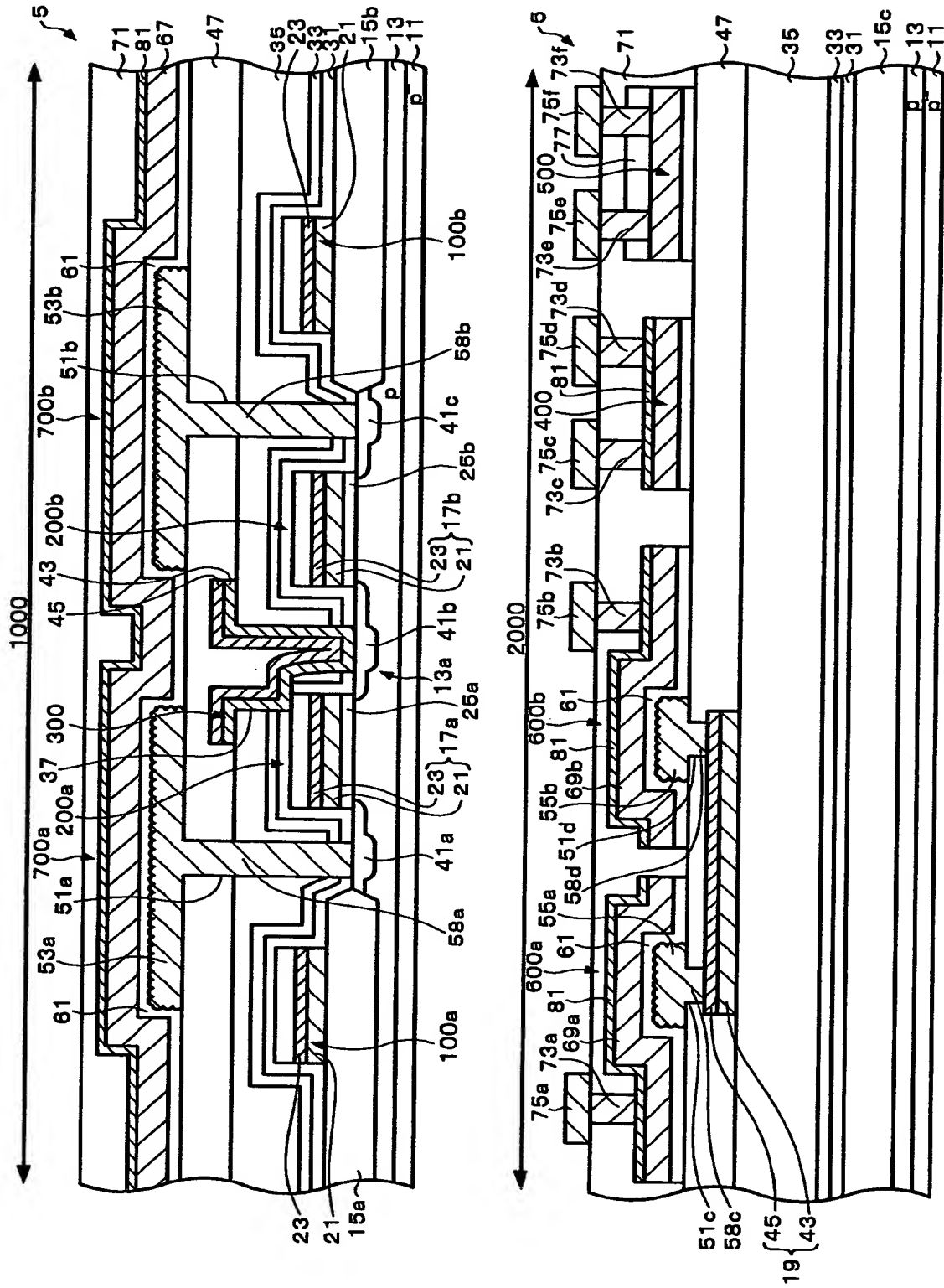
【図 18】



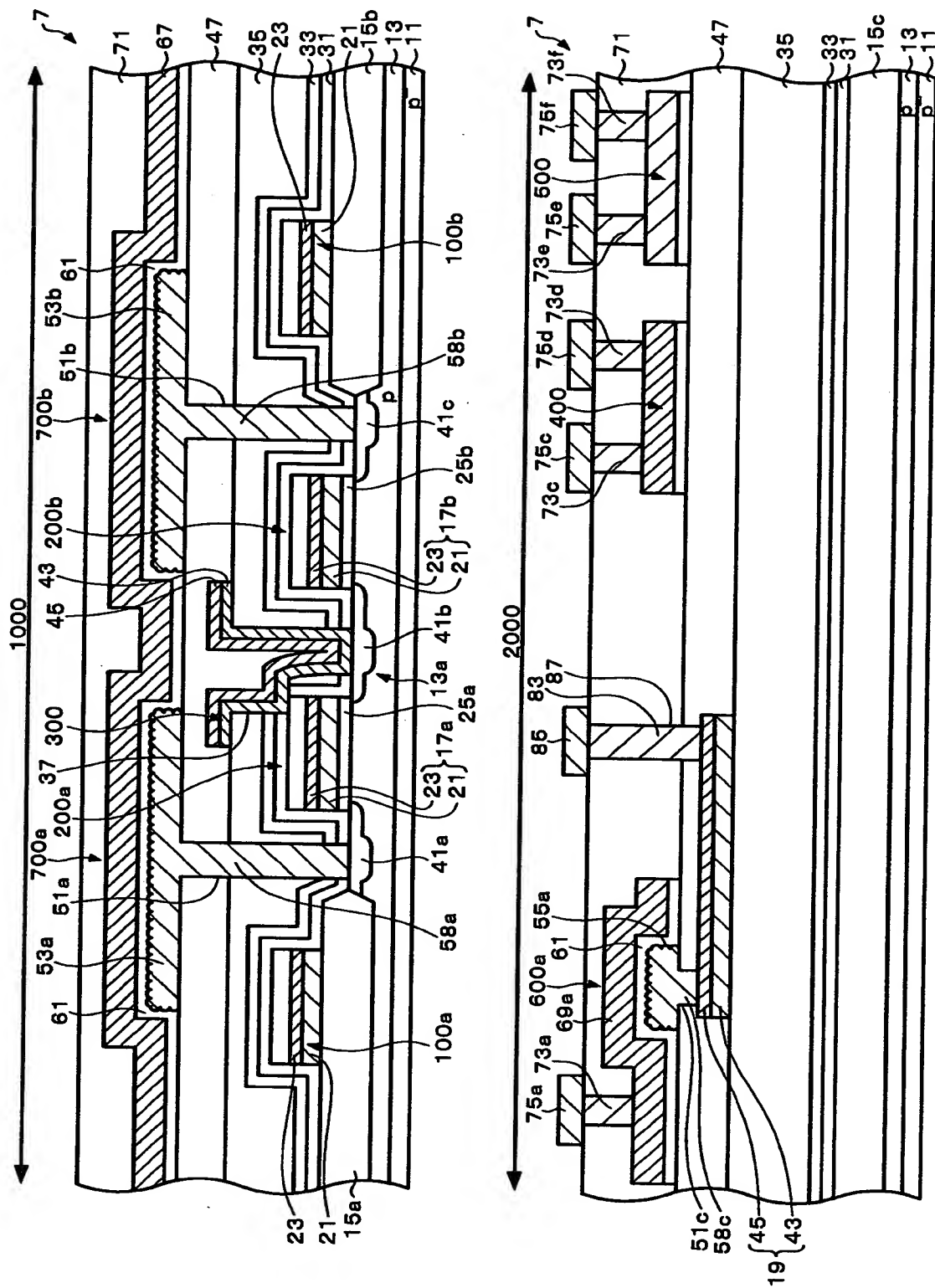
【図 1 9】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 D R A Mのセル容量と、アナログ素子領域の容量素子と、を同一チップに混載するとき、工程の簡略化を図ることができる半導体装置の製造方法を提供すること。

【解決手段】 まず、接続層 1 9 を、ビット線 3 0 0 と同時に形成する。次に、容量素子 6 0 0 a、6 0 0 b の下部電極 5 5 a、5 5 b を、セル容量 7 0 0 a、7 0 0 b のストレージノード 5 3 a、5 3 b と同時に形成する。次に、容量素子 6 0 0 a、6 0 0 b の誘電体層（O N 層 6 1）を、セル容量 7 0 0 a、7 0 0 b の誘電体層（O N 層 6 1）と同時に形成する。そして、容量素子 6 0 0 a、6 0 0 b の上部電極 6 9 a、6 9 b を、セル容量 7 0 0 a、7 0 0 b のセルプレート 6 7 と同時に形成する。

【選択図】 図 1 5

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社